

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **Toru KUROSAKI et al.**

Serial Number: **Not Yet Assigned**

Filed: **June 27, 2003**

For: **SEMICONDUCTOR DEVICE**

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents
P. O. Box 1450
Alexandria, VA 22313-1450

June 27, 2003

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

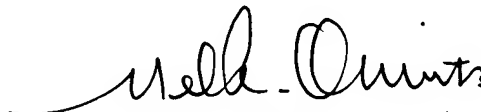
Japanese Appln. No. 2002-190017, filed on June 28, 2002

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully submitted,
ARMSTRONG, WESTERMAN & HATTORI, LLP



Mel R. Quintos
Reg. No. 31,898

Atty. Docket No.: 030781
Suite 1000, 1725 K Street, N.W.
Washington, D.C. 20006
Tel: (202) 659-2930
Fax: (202) 887-0357
MRQ/yap

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年 6月28日

出願番号

Application Number:

特願2002-190017

[ST.10/C]:

[JP2002-190017]

出願人

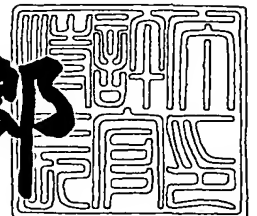
Applicant(s):

新電元工業株式会社

2003年 3月18日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3018450

【書類名】 特許願

【整理番号】 01-0235

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/78

【発明者】

【住所又は居所】 埼玉県飯能市南町10番13号 新電元工業株式会社飯能工場内

【氏名】 黒崎 徹

【発明者】

【住所又は居所】 埼玉県飯能市南町10番13号 新電元工業株式会社飯能工場内

【氏名】 穴戸 寛明

【発明者】

【住所又は居所】 埼玉県飯能市南町10番13号 新電元工業株式会社飯能工場内

【氏名】 北田 瑞枝

【発明者】

【住所又は居所】 埼玉県飯能市南町10番13号 新電元工業株式会社飯能工場内

【氏名】 九里 伸治

【発明者】

【住所又は居所】 埼玉県飯能市南町10番13号 新電元工業株式会社飯能工場内

【氏名】 大島 宏介

【特許出願人】

【識別番号】 000002037

【氏名又は名称】 新電元工業株式会社

【代理人】

【識別番号】 100102875

【住所又は居所】 東京都港区虎ノ門1丁目2番18号 虎ノ門興業ビル3階

【弁理士】

【氏名又は名称】 石島 茂男

【電話番号】 03-3592-8691

【選任した代理人】

【識別番号】 100106666

【住所又は居所】 東京都港区虎ノ門1丁目2番18号 虎ノ門興業ビル3階

【弁理士】

【氏名又は名称】 阿部 英樹

【電話番号】 03-3592-8691

【手数料の表示】

【予納台帳番号】 040051

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9715600

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 半導体層上に第 1 導電型の低濃度層が形成された半導体基板と

前記半導体基板の前記低濃度層側の表面に形成され、底部が前記低濃度層内に位置する溝であって、細長の複数の活性溝と、前記活性溝を取り囲むリング状の内周溝と、

前記各活性溝の内部と前記内周溝の内部に配置された第 2 導電型の半導体充填物とを有する半導体装置であって、

前記各活性溝の両端は前記内周溝に接続された半導体装置。

【請求項 2】 前記活性溝と前記内周溝とを含む溝は、更に前記内周溝を同心状に取り囲むリング状のガードリング溝を複数個有し、

前記各ガードリング溝の内部には、前記半導体充填物が配置された請求項 1 記載の半導体装置。

【請求項 3】 前記半導体基板は、前記半導体層表面の面方位が { 1 0 0 } のものが用いられ、

前記内周溝は四角リング状に形成され、前記各活性溝は、前記内周溝の四辺のうちの互いに平行な二辺に対して平行な向きに配置されると共に、前記活性溝側面と、前記内周溝の側面の前記半導体基板の結晶の面方位は { 1 0 0 } にされた請求項 1 又は請求項 2 のいずれか 1 項記載の半導体装置。

【請求項 4】 前記活性溝内の前記半導体充填物の上部は除去され、除去された部分の前記活性溝の側面にはゲート絶縁膜が形成され、

該ゲート絶縁膜に接触してゲート電極膜が形成され、

前記低濃度層内部の表面側であって、前記ゲート絶縁膜と接触する位置には第 2 導電型のベース領域が形成され、

前記ベース領域内部の表面側であって前記ゲート絶縁膜と接触する位置には第 1 導電型のソース領域が形成され、

前記ゲート電極に電圧を印加し、前記ベース領域のうちの前記ゲート絶縁膜と

接する部分に第 1 導電型の反転層を形成すると、前記反転層によって前記ソース領域と前記低濃度層とが接続されるように構成された請求項 1 乃至請求項 3 のいずれか 1 項記載の半導体装置。

【請求項 5】前記各溝内の前記半導体充填物は、前記低濃度層と略同一高さまで充填され、

少なくとも、前記活性溝内の前記半導体充填物の上端部と前記活性溝間に位置する前記低濃度層の表面とに接触する金属膜であって、該金属膜が、前記低濃度層とはショットキー接合を形成し、前記半導体充填物とはオーミック接合を形成する材料で構成されたアノード電極を有する請求項 1 乃至 3 のいずれか 1 項記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体装置にかかり、特に、溝内に半導体充填物が配置された半導体装置に関する。

【0002】

【従来の技術】

図 3 6 は、従来の半導体装置 1 0 1 の拡散構造を表す平面図であって、後述するソース領域を通り、表面と平行な面で半導体基板を切断した断面に相当する。

【0003】

図 3 7 は、図 3 6 の J - J 線切断断面図を示し、図 3 8 は K - K 線切断断面図である。逆に、図 3 6 は図 3 7、図 3 8 の S - S 線切断断面図となっている。

【0004】

この半導体装置 1 0 1 は半導体基板 1 1 0 を有している。該半導体基板 1 1 0 は、シリコン単結晶中に N^+ 型不純物が高濃度にドーピングされた半導体層 1 1 1 と、その上に形成された N^- 型のシリコンエピタキシャル層から成る低濃度層 1 1 2 とを有している。

【0005】

上述の半導体基板 1 1 0 には後述する半導体チップのパターンが複数個規則的

に形成されており、各チップ毎に分離するように半導体基板 1 1 0 を切断すると、切断された部分毎に下記に説明する半導体装置 1 0 1 が得られるようになっている。

【0 0 0 6】

半導体装置 1 0 1 を説明すると、該半導体装置 1 0 1 は、切断された状態では、四角形状の半導体チップであり、その中央部分には、後述するトレンチ型パワー MOSFET が配置された活性領域が設けられている。

【0 0 0 7】

活性領域には、細長の複数の活性溝 $1 2 2_1 \sim 1 2 2_4$ が互いに平行に配置されている。

【0 0 0 8】

活性領域の周囲には、活性溝 $1 2 2_1 \sim 1 2 2_4$ を取り囲むように、四角リング形状の内周溝 1 3 0 が、各活性溝 $1 2 2_1 \sim 1 2 2_4$ とは非接触の状態に配置されている。また、活性領域の周囲には、内周溝 1 3 0 を囲むように、四角リング形状の複数のガードリング溝 $1 2 3_1 \sim 1 2 3_4$ が配置されている。ガードリング溝 $1 2 3_1 \sim 1 2 3_4$ と内周溝 1 3 0 とは、活性溝 $1 2 2_1 \sim 1 2 2_4$ を同心状に取り囲んでいる。

【0 0 0 9】

各溝 $1 2 2_1 \sim 1 2 2_4$ 、1 3 0、 $1 2 3_1 \sim 1 2 3_3$ の内部には、P 型の半導体充填物 1 2 5 が配置されている。

【0 0 1 0】

活性溝 $1 2 2_1 \sim 1 2 2_4$ 内部の半導体充填物 1 2 5 は、上部が除去され、除去された部分の活性溝 $1 2 2_1 \sim 1 2 2_4$ の内周面には、ゲート絶縁膜 1 5 1 が形成されている。活性溝 $1 2 2_1 \sim 1 2 2_4$ 内部の半導体充填物 1 2 5 の残った部分はゲート絶縁膜 1 5 1 の下層に位置している。

【0 0 1 1】

また、ゲート絶縁膜 1 5 1 の表面には、ポリシリコンからなるゲート電極プラグ 1 5 5 が形成され、活性溝 $1 2 2_1 \sim 1 2 2_4$ 内部のゲート絶縁膜 1 5 1 で囲まれた部分は、ゲート電極プラグ 1 5 5 で埋められている。

【0012】

各ゲート電極プラグ155は、金属薄膜から成る不図示のゲート電極膜によって互いに接続されている。

【0013】

各活性溝122₁～122₄の長手方向中央部分の少なくとも片側位置には、P型のベース領域133と、該ベース領域133内部に形成されたN型のソース領域166とが配置されており、半導体基板110の表面近傍位置では、ソース領域166がゲート絶縁膜151と接触し、ソース領域166の下層位置に於いては、ベース領域133がゲート絶縁膜151に接触している。

【0014】

また、ベース領域133内部の表面近傍であって、ソース領域166の間の位置には、ベース領域133よりも高濃度のP型のオーミック領域165が配置されている。

【0015】

ソース領域166の表面とオーミック領域165の表面には、金属薄膜からなるソース電極膜167が接触されている。ゲート電極プラグ155の上には熱酸化膜158及びPSG膜163が配置されており、これらの熱酸化膜158及びPSG膜163により、ソース電極膜167とゲート電極プラグ155とは電氣的に絶縁されている。

【0016】

半導体基板110の裏面側には半導体層111の表面が位置し、その表面にはドレイン電極膜170が形成されている。

【0017】

かかる半導体装置101で、ソース電極膜167を接地電位に接続し、ドレイン電極膜170に正電圧を印加した状態で、各ゲート電極プラグ155にしきい値電圧以上の大きさの正電圧を印加すると、ベース領域133とゲート絶縁膜151の界面で構成されるチャネル領域にN型の反転層が形成され、ソース領域166と低濃度層112とが反転層によって接続され、低濃度層112からソース領域166に向けて電流が流れる。

【0018】

その状態から、各ゲート電極プラグ155をソース電極膜167と同じ電位にすると、反転層は消滅し、電流は流れなくなる。この状態ではトランジスタ101は遮断状態である。

【0019】

半導体装置101が遮断状態にあると、ベース領域133と低濃度層112の界面のPN接合が逆バイアスされ、主として低濃度層112の内部に空乏層が広がる。

【0020】

活性溝122₁～122₄の底部に位置する半導体充填物125や、内周溝130やガードリング溝123₁～123₄内に位置する半導体充填物125は互いに非接触の状態にあり、それぞれ浮遊電位に置かれているが、逆バイアスが大きくなり、空乏層が半導体充填物125に達すると、その半導体充填物125からも空乏層が広がるようになる。

【0021】

そして、活性溝122₁～122₄間の低濃度層112が全部空乏化した後、更に大きな逆バイアスが印加されると、空乏層は半導体層111方向に向けて均一に広がるので高耐圧の半導体装置101を得ることができる。

【0022】

上記のような半導体装置101では、半導体充填物125は、低濃度層112とは逆の導電型の半導体単結晶がエピタキシャル成長されることで形成されているが活性溝122₁～122₄の両端部分において、半導体充填物125の成長が中央部分よりも遅く、半導体充填物125の高さが均一にならなかった。

【0023】

このため、活性溝122₁～122₄の両端部分においてゲート電極プラグ155と低濃度層112との間に短絡が生じたり、活性溝122₁～122₄の両端部分に電流集中が生じるなど、歩留まりを低下させる要因になっていた。

【0024】

【発明が解決しようとする課題】

本発明は上記従来技術の不都合を解決するために創作されたものであり、その目的は、低抵抗高耐圧の半導体装置を提供することにある。

【0025】

【課題を解決するための手段】

本発明の発明者等は、活性溝 $122_1 \sim 122_4$ の両端部分において、半導体充填物 125 の成長が遅いのは、中央部分とはエピタキシャル成長の原料ガスの流れが異なる点にあると考えた。

【0026】

即ち、活性溝 $122_1 \sim 122_4$ の両端部分は低濃度層 112 で三方が囲まれていることから、活性溝 $122_1 \sim 122_4$ と内周溝 130 とを接続すると活性溝 $122_1 \sim 122_4$ の両端部分は中央部分と同じ状態になり、半導体充填物 125 の成長が均一になる。

【0027】

また、表面の面方位が $\{1\ 0\ 0\}$ の半導体基板を使用した場合には、溝底面には $\{1\ 0\ 0\}$ 面が露出するため、側面にも $\{1\ 0\ 0\}$ 面が露出するようにしておくと、四角リング形状の溝の四隅部分においても半導体充填物 125 が均一に成長するようになる。

【0028】

本発明は上記知見に基いて創作されたものであり、請求項1記載の発明は、半導体層上に第1導電型の低濃度層が形成された半導体基板と、前記半導体基板の前記低濃度層側の表面に形成され、底部が前記低濃度層内に位置する溝であって、細長の複数の活性溝と、前記活性溝を取り囲むリング状の内周溝と、前記各活性溝の内部と前記内周溝の内部に配置された第2導電型の半導体充填物とを有する半導体装置であって、前記各活性溝の両端は前記内周溝に接続された半導体装置である。

請求項2記載の発明は、前記活性溝と前記内周溝とを含む溝は、更に前記内周溝を同心状に取り囲むリング状のガードリング溝を複数個有し、前記各ガードリング溝の内部には、前記半導体充填物が配置された請求項1記載の半導体装置である。

請求項 3 記載の発明は、前記半導体基板は、前記半導体層表面の面方位が { 1 0 0 } のものが用いられ、前記内周溝は四角リング状に形成され、前記各活性溝は、前記内周溝の四辺のうちの互いに平行な二辺に対して平行な向きに配置されると共に、前記活性溝側面と、前記内周溝の側面の前記半導体基板の結晶の面方位は { 1 0 0 } にされた請求項 1 又は請求項 2 のいずれか 1 項記載の半導体装置である。

請求項 4 記載の発明は、前記活性溝内の前記半導体充填物の上部は除去され、除去された部分の前記活性溝の側面にはゲート絶縁膜が形成され、該ゲート絶縁膜に接触してゲート電極膜が形成され、前記低濃度層内部の表面側であって、前記ゲート絶縁膜と接触する位置には第 2 導電型のベース領域が形成され、前記ベース領域内部の表面側であって前記ゲート絶縁膜と接触する位置には第 1 導電型のソース領域が形成され、前記ゲート電極に電圧を印加し、前記ベース領域のうちの前記ゲート絶縁膜と接する部分に第 1 導電型の反転層を形成すると、前記反転層によって前記ソース領域と前記低濃度層とが接続されるように構成された請求項 1 乃至請求項 3 のいずれか 1 項記載の半導体装置である。

請求項 5 記載の発明は、前記各溝内の前記半導体充填物は、前記低濃度層と略同一高さまで充填され、少なくとも、前記活性溝内の前記半導体充填物の上端部と前記活性溝間に位置する前記低濃度層の表面とに接触する金属膜であって、該金属膜が、前記低濃度層とはショットキー接合を形成し、前記半導体充填物とはオーミック接合を形成する材料で構成されたアノード電極を有する請求項 1 乃至 3 のいずれか 1 項記載の半導体装置である。

【 0 0 2 9 】

【発明の実施の形態】

以下で図面を参照し、本発明の実施形態について説明する。

図 1 の符号 1 は、本発明の一実施形態である MOSFET 型の半導体装置である。図 1 は、後述するソース領域を通り、半導体基板 10 の表面と平行な面で半導体基板を切断した断面図を示している。

【 0 0 3 0 】

この半導体装置 1 は、1 枚のウェハー上に複数個が同時に形成されており、ダ

イシング工程によって互いに分離され、四角形状の半導体チップとされた後、ダイボンド、ワイヤーボンド工程とモールド工程を経て使用が可能になる。

【0031】

図2～図4は、それぞれ図1のA-A線、B-B線、C-C線切断面図に対応する図である。逆に、図1は、図2のQ-Q線切断面図に対応している。

【0032】

活性領域の外部には、後述する溝形成工程で形成されたリング状の内周溝30が1本と、リング状のガードリング溝23₁～23₃が複数本数、活性領域を取り囲んで配置されている。ガードリング溝23₁～23₃は内周溝30の外側に同心状に配置されている。

【0033】

内周溝30とガードリング溝23₁～23₃のリングは長方形であり、内周溝30の一辺に対し各ガードリング溝23₁～23₃の一辺が互いに平行になっており、且つ、内周溝30と最内周のガードリング溝23₁の間、及びガードリング溝23₁～23₃同士の間隔は等距離になっている。

【0034】

活性領域内には細長で直線状の複数の活性溝22₁～22₄が形成されている。

【0035】

各活性溝22₁～22₄は互いに平行に配置され、且つ内周溝30の互いに平行な二辺に対して互いに平行になっている。

【0036】

半導体基板10表面の面方位は{1 0 0}面であり、且つ溝形成工程において、半導体基板10表面の面方位の方向と溝の方向とがアラインメントされ、活性溝22₁～22₄の長手方向の側面に{1 0 0}面が露出するようにされている。

【0037】

その結果、内周溝30とガードリング溝23₁～23₃の全内周面と、活性溝22₁～22₄の側面と、各溝23₁～23₃、22₁～22₄、30の底面には{1 0 0}面が露出する。

ここで $\{1 \ 0 \ 0\}$ は、下記面方位の全てを表す。

【0 0 3 8】

【数 1】

$(1 \ 0 \ 0), (0 \ 1 \ 0), (0 \ 0 \ 1), (\bar{1} \ 0 \ 0), (0 \ \bar{1} \ 0), (0 \ 0 \ \bar{1})$

【0 0 3 9】

後述する溝充填工程により、活性溝 $2 \ 2 \ 1 \sim 2 \ 2 \ 4$ の底部には、P型の半導体充填物 2 5 が配置されている。内周溝 3 0 及びガードリング溝 $2 \ 3 \ 1 \sim 2 \ 3 \ 3$ の内部には、同じ溝充填工程により、内周溝 3 0 及びガードリング溝 $2 \ 3 \ 1 \sim 2 \ 3 \ 3$ の底部から基板表面の高さまで半導体充填物 2 6、2 7 が配置されている。

【0 0 4 0】

活性溝 $2 \ 2 \ 1 \sim 2 \ 2 \ 4$ の両端部は、内周溝 3 0 と接しており、内周溝 3 0 内部の半導体充填物 2 6 と活性溝 $2 \ 2 \ 1 \sim 2 \ 2 \ 4$ 内部の半導体充填物 2 5 とは接続されている。

【0 0 4 1】

以下で、上述した構造の半導体装置 1 の製造工程について、説明する。

図 5 (a)、(b)～図 2 6 (a)、(b)は、本発明の半導体装置 1 の製造工程を説明するための図面であり、図 5 (a)～図 2 6 (a)は、図 1 の A-A 線に相当する部分、図 5 (b)～図 2 6 (b)は、図 1 の B-B 線に相当する部分を製造工程順に表した断面図である。

【0 0 4 2】

まず、図 5 (a)、(b)を参照し、符号 1 0 は、下記製造工程を適用する半導体基板である。

【0 0 4 3】

本実施例では、N型を第 1 導電型とし、P型を第 2 導電型とすると、半導体基板 1 0 はシリコン単結晶から成る第 1 導電型の半導体層 1 1 と、該半導体層 1 1 表面にシリコンがエピタキシャル成長されて成る第 1 導電型の低濃度層 1 2 とを有している。

【 0 0 4 4 】

この低濃度層 1 2 の表面にシリコン酸化膜 4 1 を形成する。次いで、パターニングし、シリコン酸化膜 4 1 に、活性領域となる開口 8 0 a を、1 個の半導体装置 1 となるパターンの中央に形成する。

【 0 0 4 5 】

1 枚の半導体基板 1 0 には、後述する各工程が行われることで、複数個の半導体装置のパターンが形成されるようになっている。上記の開口 8 0 a は四角形であり、その縁は、1 個の半導体装置 1 を構成するパターンと、他の半導体装置を構成するパターンとの間の境界から一定距離だけ離間している。開口 8 0 a の底面には低濃度層 1 2 が露出している。

【 0 0 4 6 】

次に、半導体基板 1 0 の表面にボロンなどの P 型不純物を照射すると、シリコン酸化膜 4 1 がマスクとなり、図 6 (a) に示すように、開口 8 0 a 底面に露出する低濃度層 1 2 の表面に P 型不純物が注入され、開口 8 0 a の平面形状と同じ形状の P 型注入層 3 1 が形成される。活性領域の外部では、図 6 (b) に示すように P 型注入層 3 1 は形成されない。

【 0 0 4 7 】

次いで、熱酸化処理すると、図 7 (a) に示すように、P 型注入層が拡散され、開口 8 0 a で露出する低濃度層 1 2 の位置に、P 型不純物拡散層からなるベース領域 3 3 が形成される。このベース領域 3 3 は半導体基板 1 0 の一部を構成している。

【 0 0 4 8 】

このとき、シリコン酸化膜 4 1 及び各 P 型注入層 3 1 の表面に新たなシリコン酸化膜が形成される。図 7 (a)、(b) では、符号 4 3 は、熱酸化処理後に、半導体基板 1 0 上に位置しているシリコン酸化膜からなる絶縁膜を示している。

【 0 0 4 9 】

次いで、絶縁膜 4 3 をパターニングし、該絶縁膜 4 3 のベース領域 3 3 の外周より外側であって、ベース領域 3 3 を取り囲む位置にリング状の開口を複数本と、ベース領域 3 3 を跨ぐ位置に互いに平行な直線状の開口を複数本形成する。

【0050】

図8(a)、(b)の符号 $82_1 \sim 82_3$ は、複数のリング状の開口のうちの内側3本を示しており、符号 $81_1 \sim 81_3$ は、複数の直線状の開口のうちの隣接する3本を示している。

【0051】

各直線状の開口 $81_1 \sim 81_3$ は、それぞれの両端が、リング状の開口 $82_1 \sim 82_3$ のうち、最も内側に配置された最内周のリング状の開口 82_1 に接続されている。

【0052】

矩形リング状の各開口 $82_1 \sim 82_3$ の底部には、低濃度層12が露出しており、各直線状の開口 $81_1 \sim 81_3$ の底部には、P型のベース領域33とN型の低濃度層12が露出している。

【0053】

次に、絶縁膜43をマスクにして、半導体基板10のエッチング処理をすると、各開口 $81_1 \sim 81_3$ 、 $82_1 \sim 82_3$ の底部の部分が除去され、溝が形成される。図9(a)、(b)の符号 $22_1 \sim 22_3$ は、その溝のうち、3本の直線状の開口 $81_1 \sim 81_3$ の底面下に形成された直線状で細長の3本の活性溝を示しており、符号30は、リング状の開口 $82_1 \sim 82_3$ のうちの最内周の開口 82_1 の底面下に形成された内周溝を示している。

【0054】

また、符号 23_1 、 23_2 は、3本のリング状の開口 $82_1 \sim 82_3$ のうちの最内周の開口 82_1 よりも外側の2本のリング状の開口 82_2 、 82_3 の底面下に形成された2本のガードリング溝を示している。

【0055】

その状態の平面図を図31に示し、図31のF-F線切断断面図を図27及び後述する図28～図30に示す。なお、図9(a)、図9(b)は、図31のD-D線切断断面図とE-E線切断断面図にそれぞれ相当する図である。

【0056】

図31に示されたとおり、この実施例では、符号 $22_1 \sim 22_4$ と符号 $23_1 \sim$

2 3₃でそれぞれ示すように、活性溝は4本形成され、ガードリング溝は3本形成されている。複数の活性溝2 2₁～2 2₄の全部は、その両端が内周溝3 0に接続されている。

【 0 0 5 7 】

後述する図1 0 (a)、(b)～図2 6 (a)、(b)等の断面図では、3本を超える本数の活性溝2 2₄と、2本を超える本数のガードリング溝2 3₃は省略する。

【 0 0 5 8 】

上述したエッチング処理では、各溝2 2₁～2 2₄、3 0、2 3₁～2 3₃の深さは低濃度層1 2の厚みよりも浅く、かつベース領域3 3の深さよりも深くなるようにされており、その結果、各溝2 2₁～2 2₄、3 0、2 3₁～2 3₃の底部は、半導体層1 1と低濃度層1 2の間の界面と、ベース領域3 3の底部との間に位置する。

【 0 0 5 9 】

次いで、図1 0 (a)、(b)と図2 8に示すように、各溝2 2₁～2 2₄、3 0、2 3₁～2 3₃の内周面に、P型不純物が添加されたシリコン単結晶のエピタキシャル層を成長させると、各溝2 2₁～2 2₄、3 0、2 3₁～2 3₃内部が、エピタキシャル成長物からなるP型の半導体充填物で充填される。

【 0 0 6 0 】

従来の半導体装置では、活性溝の両端部とリング状の溝との間が低濃度層で仕切られており、活性溝の両端部と中央部とでは、エピタキシャル成長の条件が異なってしまう、実際、活性溝の両端部ではエピタキシャル成長の速度が遅く、活性溝の両端部は半導体充填物で完全に埋まっていなかった。

【 0 0 6 1 】

本発明の半導体装置1では、活性溝2 2₁～2 2₄と内周溝3 0とは連続しているから活性溝2 2₁～2 2₄の両端部と内周溝3 0の間には低濃度層1 2で仕切られていない。このため、細長で直線状の活性溝2 2₁～2 2₄の両端部と中央部分とは同一条件でエピタキシャル成長するため、活性溝2 2₁～2 2₄の内部は、長手方向の全部が、半導体充填物で完全に充填される。

【 0 0 6 2 】

また、半導体基板 1 0 表面の面方位は $\{1 \ 0 \ 0\}$ 面であるウエハが用いられている。また、内周溝 3 0 とガードリング溝 $2 \ 3_1 \sim 2 \ 3_3$ の全内周面と、活性溝 $2 \ 2_1 \sim 2 \ 2_4$ の側面と、各溝 $2 \ 3_1 \sim 2 \ 3_3$ 、 $2 \ 2_1 \sim 2 \ 2_4$ の底面には $\{1 \ 0 \ 0\}$ 面が露出されているから、溝内に露出する半導体基板 1 0 表面の面方位は全て等しいから、底面や側面からは、半導体の単結晶が同じ成長速度でエピタキシャル成長し、各溝 3 0、 $2 \ 3_1 \sim 2 \ 3_3$ 、 $2 \ 2_1 \sim 2 \ 2_4$ の内部は完全に充填される。このため、特に活性溝 $2 \ 2_1 \sim 2 \ 2_4$ の両端部に凹み等が生じることもないので、凹み等に電界が集中することもない。

【 0 0 6 3 】

活性溝 $2 \ 2_1 \sim 2 \ 2_4$ の内部に位置する半導体充填物と、内周溝 3 0 の内部に位置する半導体充填物と、ガードリング溝 $2 \ 3_1 \sim 2 \ 3_3$ の内部に位置する半導体充填物とを、それぞれ符号 2 5、2 6、2 7 で示すと、各半導体充填物 2 5 ~ 2 7 は、各溝 $2 \ 2_1 \sim 2 \ 2_4$ 、3 0、 $2 \ 3_1 \sim 2 \ 3_3$ の上端を超えて成長しており、少なくとも絶縁膜 4 3 の開口 $8 \ 1_1 \sim 8 \ 1_3$ 、 $8 \ 2_1 \sim 8 \ 2_3$ 内部まで達している。半導体充填物 2 5 ~ 2 7 の、半導体基板 1 0 の表面よりも上部の部分を、図 1 1 (a)、(b) に示すように除去する。

【 0 0 6 4 】

次いで、絶縁膜 4 3 を全部除去し、新たに絶縁膜 4 4 を形成した後、その絶縁膜 4 4 をパターニングし、図 1 2 (b) に示すように、ガードリング溝 $2 \ 3_1 \sim 2 \ 3_3$ の上部を絶縁膜 4 4 で覆いながら、図 1 2 (a) に示すように、活性溝 $2 \ 2_1 \sim 2 \ 2_4$ 内に充填された半導体充填物 2 5 の上部のみを露出させる。

【 0 0 6 5 】

その状態で、エッチング処理により、半導体充填物 2 5 の上部を除去し、半導体充填物 2 5 の上端部を、ベース領域 3 3 の底部よりも深い高さに位置させる。エッチング後の半導体充填物 2 5 の厚みは、一定膜厚になるようにしておく。

【 0 0 6 6 】

エッチング処理がされた状態の活性溝 $2 \ 2_1 \sim 2 \ 2_4$ の状態を図 1 3 (a) に示し、内周溝 3 0 とガードリング溝 $2 \ 3_1 \sim 2 \ 3_3$ の状態を図 1 3 (b) に示す。

【 0 0 6 7 】

また、図 1 の C - C 線切断面図に相当する位置の切断面図を図 2 9 に示す。活性溝 $22_1 \sim 22_4$ の半導体充填物 2 5 は、上部部分が除去され、底部が残存した状態なので、内周溝 3 0 の半導体充填物 2 6 と接続されている。

【 0 0 6 8 】

ガードリング溝 $23_1 \sim 23_3$ の上部は絶縁膜 4 4 で覆われており、ガードリング溝 $23_1 \sim 23_3$ の上部に位置する半導体充填物 2 7 はエッチングされない。

また、内周溝 3 0 の上部も絶縁膜 4 4 で覆われており、内周溝 3 0 の上部に位置する半導体充填物 2 6 はエッチングされない。

【 0 0 6 9 】

この状態では、活性溝 $22_1 \sim 22_4$ の半導体充填物 2 5 がエッチングされた部分の内周面には半導体基板 1 0 が露出している。

このとき、活性溝 $22_1 \sim 22_4$ 内の半導体充填物 2 5 は、上述したように、凹み等が無く均一に充填されているので、エッチングで上部が除去された後の半導体充填物 2 5 も、その上端部分は平らであり、凹み等は存在しない。

【 0 0 7 0 】

次いで、図 1 4 (a)、(b) に示すように、絶縁膜 4 4 を全部除去し、図 1 5 (a)、(b) と図 3 0 に示すように、熱酸化処理を行うと、活性溝 $22_1 \sim 22_4$ の内周面や半導体基板 1 0 の上部表面及び半導体充填物 2 5 の上端部分にゲート絶縁膜 5 1 が形成される。

【 0 0 7 1 】

ゲート絶縁膜 5 1 は薄いため、活性溝 $22_1 \sim 22_4$ の半導体充填物 2 5 より上側に位置する部分は、ゲート絶縁膜 5 1 で充填されることなく、ゲート絶縁膜 5 1 の表面を内周面とするゲート穴 $28_1 \sim 28_3$ が形成される。

【 0 0 7 2 】

次いで、ゲート絶縁膜 5 1 の表面に、ポリシリコンを堆積させると、図 1 6 (a)、(b) に示すように、ゲート穴 $28_1 \sim 28_3$ の内部が、ポリシリコン薄膜 5 3 で充填される。

【 0 0 7 3 】

次に、ポリシリコンのエッチング工程により、図 1 7 (a)、(b) に示すように

、ゲート穴 $28_1 \sim 28_3$ 内部のポリシリコン薄膜53を残し、半導体基板10表面のゲート絶縁膜51上に位置するポリシリコン薄膜53をエッチング除去すると、ゲート穴 $28_1 \sim 28_3$ 内部のポリシリコン薄膜53によってゲート電極プラグ55が形成される。

【0074】

次いで、酸化膜のエッチング工程により、図18(a)、(b)に示すように、半導体基板10表面上のゲート絶縁膜51を除去する。各ゲート穴 $28_1 \sim 28_3$ 内部のゲート絶縁膜51はエッチングされない。

【0075】

次に、半導体基板10を熱酸化処理すると、図19(a)、(b)に示すように、半導体基板10の表面やゲート電極プラグ55表面に熱酸化膜からなる下地酸化膜58が形成される。

【0076】

次に、下地酸化膜58上にパターニングされたレジスト膜を形成する。図20(a)、(b)の符号91は、そのレジスト膜であり、このレジスト膜91は、活性溝 $22_1 \sim 22_4$ と活性溝の間の位置に、活性溝 $22_1 \sim 22_4$ と平行な細長の開口83を有している。

この開口83は、活性溝 $22_1 \sim 22_4$ に対して一定距離だけ離間して平行に配置されている。

【0077】

各活性溝 $22_1 \sim 22_4$ は、ベース領域33の上部に位置しており、各活性溝 $22_1 \sim 22_4$ の両端部を除いた部分、即ち中央部分の間には、ベース領域33が各活性溝 $22_1 \sim 22_4$ の側面に接触して配置されている。従って、開口83の下方にはベース領域33が位置している。

【0078】

他方、内周溝30に隣接する活性溝 22_1 、 22_4 と内周溝30の間や、内周溝30と最内周のガードリング溝 23_1 との間、及びガードリング溝 $23_1 \sim 23_3$ の間の上はレジスト膜91によって覆われている。

【0079】

レジスト膜 9 1 の上方からボロンを照射すると、開口 8 3 の底部に位置するベース領域 3 3 の内部の表面近傍にボロンが注入され、 P^+ 型高濃度注入領域が形成される。図 2 0 (a)、(b)の符号 6 0 は、その P^+ 型高濃度注入領域を示している。

【 0 0 8 0 】

この P^+ 型高濃度注入領域 6 0 は、細長の開口 8 3 の底面下に形成されており、細長の開口 8 3 と同じ平面形状である。従って、活性溝 $2 2_1 \sim 2 2_4$ の間には 1 本ずつ配置され、活性溝 $2 2_1 \sim 2 2_4$ に対して一定距離だけ離間して平行になっている。 P^+ 型高濃度注入領域 6 0 と活性溝 $2 2_1 \sim 2 2_4$ の間の位置には、下地酸化膜 5 8 の下層に、ベース領域 3 3 の表面が露出している。

【 0 0 8 1 】

次にレジスト膜 9 1 を除去し、他の形状にパターニングされたレジスト膜 9 2 を形成する。このレジスト膜 9 2 は、 P^+ 型高濃度注入領域 6 0 と活性溝 $2 2_1 \sim 2 2_4$ の間の位置に開口 8 6 が設けられており、 P^+ 型高濃度注入領域 6 0 の上方や、各溝 $2 3_1 \sim 2 3_3$ 、 $2 2_1 \sim 2 2_4$ 、3 0 の上方は覆われている。

【 0 0 8 2 】

この状態で燐等の N 型不純物イオンを照射すると、図 2 1 (a)、(b)に示すように、開口 8 6 の底面に露出する下地酸化膜 5 8 を介して、ベース領域 3 3 の内部の表面近傍に N^+ 型注入領域 6 1 が形成される。この N^+ 型不純物層 6 1 は、 P^+ 型高濃度注入領域 6 0 と同様に細長であり、 P^+ 型高濃度注入領域 6 0 両側に配置されている。1 個の N^+ 型不純物層 6 1 は、長手方向の二辺の一方の辺が P^+ 型高濃度注入領域 6 0 と接触し、他方の辺が活性溝 $2 2_1 \sim 2 2_4$ 内のゲート絶縁膜 5 1 に接触している。

【 0 0 8 3 】

次に、レジスト膜 9 2 を除去し、図 2 2 (a)、(b)に示すように下地酸化膜 5 8 の表面に PSG 膜 6 3 を成膜した後、熱処理し、 P 型高濃度注入領域 6 0 と N 型注入領域 6 1 内の不純物をベース領域 3 3 よりも浅い深さまで拡散させると、図 2 3 (a)、(b)に示すように、ベース領域 3 3 よりも高濃度の P^+ 型のオーミック領域 6 5 と、低濃度層 1 2 よりも高濃度の N 型のソース領域 6 6 とが所定深

さに形成される。

【 0 0 8 4 】

P⁺型のオーミック領域 6 5 と N 型のソース領域 6 6 は、ベース領域 3 3 よりも浅く、ベース領域 3 3 の内部に位置している。活性溝 2 2₁ ~ 2 2₄ の間の位置の下地酸化膜 5 8 の下層には、中央に P⁺型のオーミック領域 6 5 が露出し、その両側に N 型のソース領域 6 6 が露出している。

【 0 0 8 5 】

次いで、図 2 4 (a)、(b) に示すように、P S G 膜 6 3 と下地酸化膜 5 8 を一緒にパターニングし、ソース領域 6 6 とオーミック領域 6 5 とを露出させる。このとき、不図示の位置でゲート電極プラグ 5 5 の表面が部分的に露出される。

【 0 0 8 6 】

次に、アルミなどの金属膜を半導体基板 1 0 表面に全面成膜した後、パターニングすると、図 2 5 (a)、(b) に示すように、ソース領域 6 6 の表面とオーミック領域 6 5 の表面の両方に接触するソース電極膜 6 7 が形成される。

【 0 0 8 7 】

ソース電極膜 6 7 を形成するときのパターニングにより、同じ金属膜からゲート電極膜が形成される。このゲート電極膜は、ソース電極膜 6 7 とは分離・絶縁されており、ゲート電極プラグ 5 5 に接触している。

【 0 0 8 8 】

次いで、ソース電極膜 6 7 が形成された面と反対側の半導体基板 1 0 の表面に、クロムなどの金属膜を成膜し、図 2 6 (a)、(b) に示すように、ドレイン電極膜 7 0 を形成する。以上の工程により、本発明の一実施形態の半導体装置 1 の図 1、図 2、図 3 に示すような状態が得られる。この状態から、保護膜形成工程や、上述したようなダイシング工程を経て、複数の半導体装置 1 同士を切り離した後、ダイボンド、ワイヤーボンド工程とモールド工程等の組立工程を経ると、プラスチックパッケージに封止された半導体装置が得られる。

【 0 0 8 9 】

上記のような半導体装置 1 において、ソース電極膜 6 7 を接地電位に接続し、ドレイン電極膜 7 0 に正電圧を印加した状態で、ゲート電極プラグ 5 5 にしきい

値電圧以上の大きさの正電圧を印加すると、チャネル領域(ベース領域33とゲート絶縁膜51の界面)にN型の反転層が形成され、ソース領域66と低濃度層12とが反転層によって接続され、低濃度層12と反転層とソース領域66を通過して、ドレイン電極70からソース電極膜67に向けて電流が流れる。この状態を導通状態と言う。

【0090】

導通状態から、各ゲート電極プラグ55をソース電極と同じ電位にすると、反転層は消滅し、電流は流れなくなる。この状態では半導体装置1は遮断状態にある。

【0091】

半導体装置1が遮断状態にあり、ベース領域33と低濃度層12の境界で構成されるPN接合が逆バイアスされた場合には、P型のベース領域33内とN型の低濃度層12内に空乏層が広がる。ベース領域33は低濃度層12に比して高濃度なので、空乏層は主として低濃度層12内部に広がり、活性溝22₁~22₄や内周溝30内の半導体充填物25、26に達する。

【0092】

本実施形態では、活性溝22₁~22₄の内部と内周溝30内部に位置する半導体充填物25、26は互いに接続されているが、ゲート電極プラグ55にもソース電極膜67にも接続されておらず、浮遊電位に置かれている。

【0093】

PN接合から広がった空乏層がいずれか一方の半導体充填物25、26に達すると、半導体充填物25、26の電位が安定し、この半導体充填物25、26からも空乏層が広がり始め、印加される電圧がさらに大きくなると、空乏層は、複数のガードリング溝23₁~23₃の最内周に位置するガードリング溝23₁に達する。

【0094】

各ガードリング溝23₁~23₃内部に位置する半導体充填物27は互いに絶縁されており、浮遊電位に置かれているが、空乏層が達すると電位が安定し、各ガードリング溝23₁~23₃内部の半導体充填物27からも空乏層が広がり始める

ため、最内周に位置するガードリング 23_1 から外側に位置する各ガードリング 23_2 、 23_3 に向けて順番に空乏層が達し、最外周のガードリング 23_3 よりも外側に空乏層が広がる。

【0095】

各溝 $23_1 \sim 23_3$ 、 30 、 $22_1 \sim 22_4$ 内部に半導体充填物 $25 \sim 27$ が均一に充填されており、例えば、活性溝 $22_1 \sim 22_4$ 内部の半導体充填物 25 の両端部に凹み等がないので、電界が集中することがなく、破壊耐量が大きくなっている。

【0096】

なお、以上は第1導電型をN型、第2導電型をP型として説明したが、上記実施例や後述する各実施例において、第1導電型をP型、第2導電型をN型としても良い。

【0097】

また、上記実施形態は、MOSFETを説明したが、本発明の半導体装置はこれに限られるものではなく、例えば、IGBT(Insulated gate bipolar transistor)やショットキーバリアダイオードも含まれる。

【0098】

図35の半導体装置1'は、低濃度層12が、該低濃度層12とは反対の導電型のコレクタ層11'表面に形成されたIGBT型の半導体装置である。

【0099】

また、図32、図33、図34の符号2は、本発明の他の例であるショットキーバリアダイオード型の半導体装置を示している。

【0100】

ここで、図32は、この実施例の半導体装置2の平面図を示しており、図33と図34は、図32のG-G線、H-H線の切断面図をそれぞれ示している。なお、簡単のため図32では、後述する熱酸化膜とPSG膜とアノード電極は省略されている。

【0101】

この半導体装置2は、N型のシリコン単結晶から成る半導体層11と、その表

面上にシリコン単結晶のエピタキシャル成長によって形成されたN型の低濃度層12とを有している。半導体層11は、その表面の面方位が $\{1\ 0\ 0\}$ のものが用いられており、その結果、半導体層11の表面にエピタキシャル成長された低濃度層12の表面も $\{1\ 0\ 0\}$ の面方位になっている。

【0102】

低濃度層12には、低濃度層12の厚みよりも浅い深さまで、直線状で細長の活性溝75₁~75₃と、活性溝75₁~75₃の両端に接し、活性溝75₁~75₃を取り囲む四角リング形状の内周溝76と、更に内周溝76を同心状に取り囲む四角リング状の複数のガードリング溝77₁~77₃とが設けられている。

【0103】

この半導体装置2においても、上述の半導体装置1と同様に、内周溝76とガードリング溝77₁~77₃のリングは長方形であり、内周溝76の一辺に対し各ガードリング溝77₁~77₃の一辺が互いに平行になっており、且つ、内周溝76と最内周のガードリング溝77₁の間、及びガードリング溝77₁~77₃同士の間隔は等距離になっている。また、各溝75₁~75₃、76、77₁~77₃の深さは、低濃度層12の厚みよりも浅く、底面には低濃度層12が露出している。

【0104】

各溝75₁~75₃、76、77₁~77₃を形成する際には、細長の活性溝75₁~75₃の側面に $\{1\ 0\ 0\}$ 面が現れるように、半導体層11及び低濃度層12の面方位に対して相対的に位置合わせがされている。

【0105】

四角リング状の他の溝(内周溝76及びガードリング溝77₁~77₃)の四辺は活性溝75₁~75₃の長手方向に対して平行な方向であるか、又は垂直な方向に伸びているから、全ての溝75₁~75₃、76、77₁~77₃の側面には、底面同様、 $\{1\ 0\ 0\}$ 面が露出されている。

【0106】

各溝75₁~75₃、76、77₁~77₃の内部には、エピタキシャル成長によって形成されたP型のシリコン単結晶から成る半導体充填物25が充填されてお

り、各溝 $75_1 \sim 75_3$ 、 76 、 $77_1 \sim 77_3$ の内の半導体充填物 25 と、低濃度層 12 との間にはPN接合が形成されている。

【0107】

内周溝 76 上の外周の縁付近よりも外側には、熱酸化膜 14 とPSG膜 15 とで構成された絶縁膜 16 が配置されている。絶縁膜 16 で覆われていない部分、即ち、内周溝 76 上の外周の縁付近よりも内側には、金属薄膜からなるアノード電極 18 が配置されている。

【0108】

各溝 $75_1 \sim 75_3$ 、 76 、 $77_1 \sim 77_3$ 内の半導体充填物 25 は、低濃度層 12 の表面高さと同じ高さまで充填されており、アノード電極 18 は、内周溝 76 の外周よりも内側の絶縁膜 16 が配置されていない部分において、低濃度層 12 の表面と、内周溝 76 と内の半導体充填物 25 の表面と、活性溝 $75_1 \sim 75_3$ 内の半導体充填物 25 の表面とに接触している。従って、同心状に配置された内周溝 76 とガードリング溝 $77_1 \sim 77_3$ のうち、内周溝 76 を除く他の溝、即ちガードリング溝 $77_1 \sim 77_3$ は、アノード電極 18 には接触しておらず、各ガードリング溝 $77_1 \sim 77_3$ 内の半導体充填物 25 は浮遊電位に置かれている。

【0109】

アノード電極 18 を構成する金属は、低濃度層 12 と接触した部分でショットキー接合を形成する材料である。他方、各溝 $75_1 \sim 75_3$ 、 76 、 $77_1 \sim 77_3$ 内の半導体充填物 25 は、高濃度に不純物が添加されているため、アノード電極 18 と半導体充填物 25 とはオーミック接合を形成している。

【0110】

半導体層 11 の表面には、半導体層 11 とオーミック接合を形成するカソード電極 19 が形成されており、アノード電極 18 に正電圧、カソード電極 19 に負電圧を印加すると、低濃度層 12 とアノード電極膜 18 との間のショットキー接合が順バイアスされ、アノード電極膜 18 からカソード電極膜 19 に向けて電流が流れる。

【0111】

このとき、活性溝 $75_1 \sim 75_3$ の内部と、各活性溝 $75_1 \sim 75_3$ に接続された

内周溝 7 6 の内部の半導体充填物 2 5 と低濃度層 1 2 との間の P N 接合も順バイアスされるが、P N 接合は、ショットキー接合の順方向電圧降下によってクランプされ、電流は流れない。

【0 1 1 2】

逆に、アノード電極 1 8 に負電圧、カソード電極 1 9 に正電圧を印加すると、上記電圧では順バイアスされていたショットキー接合と P N 接合は逆バイアスされる。

【0 1 1 3】

この状態では、逆バイアスされたショットキー接合と、逆バイアスされた P N 接合から低濃度層 1 2 内に空乏層が広がり、ガードリング溝 7 7₁ ~ 7 7₃ 内の浮遊電位に置かれた半導体充填物 2 5 に空乏層が達すると、その半導体充填物 2 5 の電位が安定し、その半導体充填物 2 5 から更に空乏層が広がり始める。

【0 1 1 4】

この状態で印加された電圧より高い電圧が印加されると、活性溝 7 5₁ ~ 7 5₃、内周溝 7 6 及びガードリング溝 7 7₁ ~ 7 7₃ の下方へさらに空乏層が広がる。

【0 1 1 5】

この半導体装置 2 でも、溝 7 5₁ ~ 7 5₃、7 6、7 7₁ ~ 7 7₃ 内には、低濃度層 1 2 の { 1 0 0 } 面が露出されており、その { 1 0 0 } 面から半導体充填物 2 5 が成長し、各溝 7 5₁ ~ 7 5₃、7 6、7 7₁ ~ 7 7₃ 内が充填されているから、溝 7 5₁ ~ 7 5₃、7 6、7 7₁ ~ 7 7₃ 内部は均一の高さに成長した半導体充填物 2 5 で充填されている。

【0 1 1 6】

【発明の効果】

溝内が半導体充填物で均一に充填された半導体装置が得られる。

【図面の簡単な説明】

【図 1】 本発明の半導体装置の一例の M O S F E T 拡散構造を示す平面図

【図 2】 図 1 の A - A 線切断面図

【図 3】 図 1 の B - B 線切断面図

【図 4】 図 1 の C - C 線切断面図

【図 5】(a) : 図 1 の A - A 線切断面に相当する部分の製造工程を説明する
第 1 の断面図

(b) : 図 1 の B - B 線切断面に相当する部分の製造工程を説明する
第 1 の断面図

【図 6】(a) : 図 1 の A - A 線切断面に相当する部分の製造工程を説明する
第 2 の断面図

(b) : 図 1 の B - B 線切断面に相当する部分の製造工程を説明する
第 2 の断面図

【図 7】(a) : 図 1 の A - A 線切断面に相当する部分の製造工程を説明する
第 3 の断面図

(b) : 図 1 の B - B 線切断面に相当する部分の製造工程を説明する
第 3 の断面図

【図 8】(a) : 図 1 の A - A 線切断面に相当する部分の製造工程を説明する
第 4 の断面図

(b) : 図 1 の B - B 線切断面に相当する部分の製造工程を説明する
第 4 の断面図

【図 9】(a) : 図 1 の A - A 線切断面に相当する部分の製造工程を説明する
第 5 の断面図

(b) : 図 1 の B - B 線切断面に相当する部分の製造工程を説明する
第 5 の断面図

【図 1 0】(a) : 図 1 の A - A 線切断面に相当する部分の製造工程を説明する
第 6 の断面図

(b) : 図 1 の B - B 線切断面に相当する部分の製造工程を説明する
第 6 の断面図

【図 1 1】(a) : 図 1 の A - A 線切断面に相当する部分の製造工程を説明する
第 7 の断面図

(b) : 図 1 の B - B 線切断面に相当する部分の製造工程を説明する
第 7 の断面図

【図 1 2】(a) : 図 1 の A - A 線切断面に相当する部分の製造工程を説明する

る第 8 の断面図

(b): 図 1 の B-B 線切断面に相当する部分の製造工程を説明す

る第 8 の断面図

【図 13】(a): 図 1 の A-A 線切断面に相当する部分の製造工程を説明す

る第 9 の断面図

(b): 図 1 の B-B 線切断面に相当する部分の製造工程を説明す

る第 9 の断面図

【図 14】(a): 図 1 の A-A 線切断面に相当する部分の製造工程を説明す

る第 10 の断面図

(b): 図 1 の B-B 線切断面に相当する部分の製造工程を説明す

る第 10 の断面図

【図 15】(a): 図 1 の A-A 線切断面に相当する部分の製造工程を説明す

る第 11 の断面図

(b): 図 1 の B-B 線切断面に相当する部分の製造工程を説明す

る第 11 の断面図

【図 16】(a): 図 1 の A-A 線切断面に相当する部分の製造工程を説明す

る第 12 の断面図

(b): 図 1 の B-B 線切断面に相当する部分の製造工程を説明す

る第 12 の断面図

【図 17】(a): 図 1 の A-A 線切断面に相当する部分の製造工程を説明す

る第 13 の断面図

(b): 図 1 の B-B 線切断面に相当する部分の製造工程を説明す

る第 13 の断面図

【図 18】(a): 図 1 の A-A 線切断面に相当する部分の製造工程を説明す

る第 14 の断面図

(b): 図 1 の B-B 線切断面に相当する部分の製造工程を説明す

る第 14 の断面図

【図 19】(a): 図 1 の A-A 線切断面に相当する部分の製造工程を説明す

る第 15 の断面図

(b) : 図 1 の B - B 線切断面に相当する部分の製造工程を説明する第 1 5 の断面図

【図 2 0】(a) : 図 1 の A - A 線切断面に相当する部分の製造工程を説明する第 1 6 の断面図

(b) : 図 1 の B - B 線切断面に相当する部分の製造工程を説明する第 1 6 の断面図

【図 2 1】(a) : 図 1 の A - A 線切断面に相当する部分の製造工程を説明する第 1 7 の断面図

(b) : 図 1 の B - B 線切断面に相当する部分の製造工程を説明する第 1 7 の断面図

【図 2 2】(a) : 図 1 の A - A 線切断面に相当する部分の製造工程を説明する第 1 8 の断面図

(b) : 図 1 の B - B 線切断面に相当する部分の製造工程を説明する第 1 8 の断面図

【図 2 3】(a) : 図 1 の A - A 線切断面に相当する部分の製造工程を説明する第 1 9 の断面図

(b) : 図 1 の B - B 線切断面に相当する部分の製造工程を説明する第 1 9 の断面図

【図 2 4】(a) : 図 1 の A - A 線切断面に相当する部分の製造工程を説明する第 2 0 の断面図

(b) : 図 1 の B - B 線切断面に相当する部分の製造工程を説明する第 2 0 の断面図

【図 2 5】(a) : 図 1 の A - A 線切断面に相当する部分の製造工程を説明する第 2 1 の断面図

(b) : 図 1 の B - B 線切断面に相当する部分の製造工程を説明する第 2 1 の断面図

【図 2 6】(a) : 図 1 の A - A 線切断面に相当する部分の製造工程を説明する第 2 2 の断面図

(b) : 図 1 の B - B 線切断面に相当する部分の製造工程を説明する

る第 2 2 の断面図

【図 2 7】図 1 の C - C 線切断面に相当する部分の製造工程を説明する第 1 の断面図

【図 2 8】図 1 の C - C 線切断面に相当する部分の製造工程を説明する第 2 の断面図

【図 2 9】図 1 の C - C 線切断面に相当する部分の製造工程を説明する第 3 の断面図

【図 3 0】図 1 の C - C 線切断面に相当する部分の製造工程を説明する第 4 の断面図

【図 3 1】本発明の一実施形態に係る半導体装置の製造工程を説明する平面図

【図 3 2】本発明の他の実施形態に係る半導体装置を説明する平面図

【図 3 3】図 3 2 の G - G 線切断面図

【図 3 4】図 3 2 の H - H 線切断面図

【図 3 5】本発明の半導体装置のうちの I G B T の例

【図 3 6】従来の半導体装置を説明する平面図

【図 3 7】図 3 6 の J - J 線切断面図

【図 3 8】図 3 6 の K - K 線切断面図

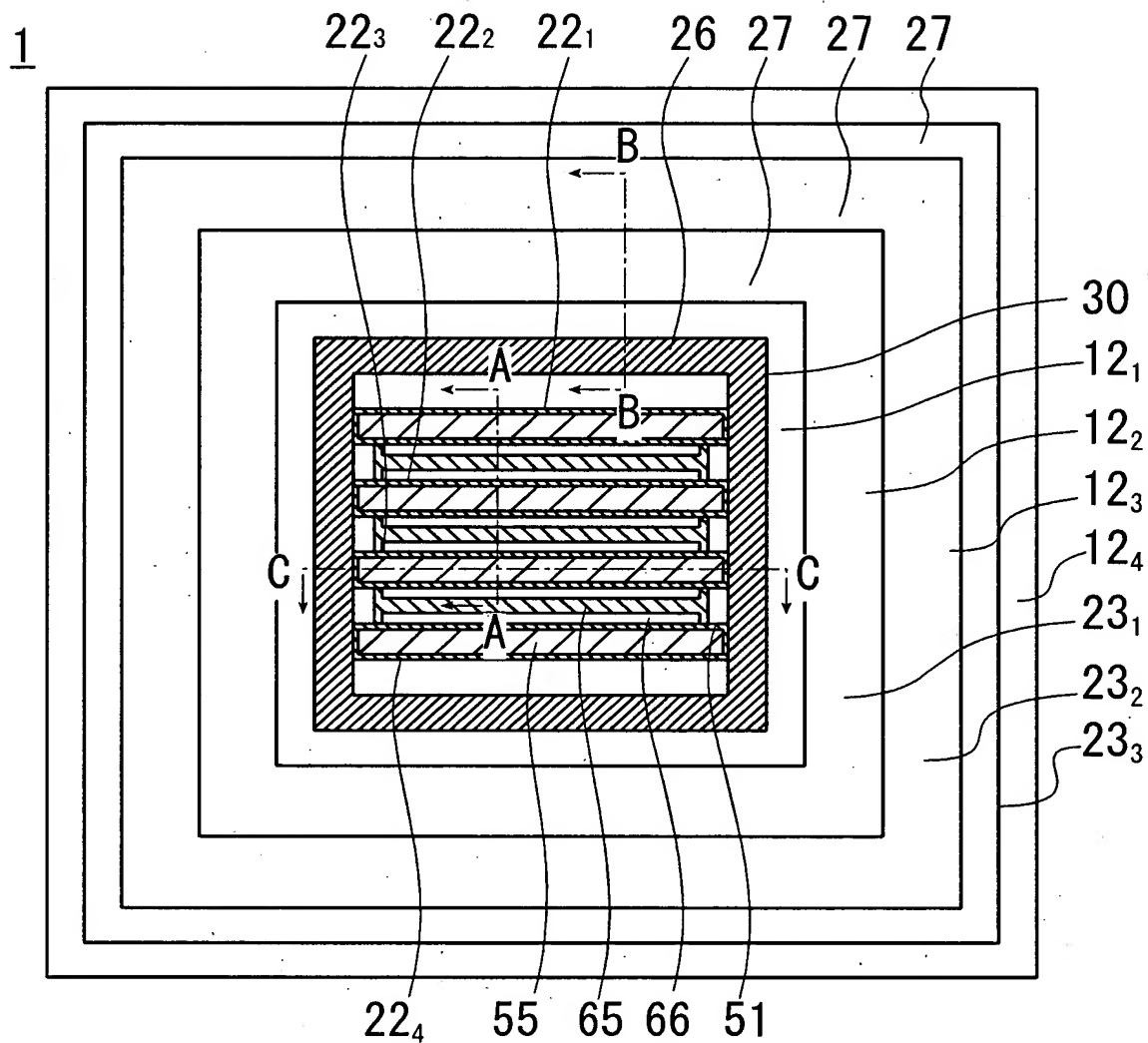
【符号の説明】

- 1、1'、2……半導体装置
- 10……半導体基板
- 11……半導体層
- 12……低濃度層
- 22₁～22₄、75₁～75₃……活性溝
- 23₁～23₃、77₁～77₃……ガードリング溝
- 30、76……内周溝
- 33……ベース領域
- 51……ゲート絶縁膜
- 55……ゲート電極プラグ

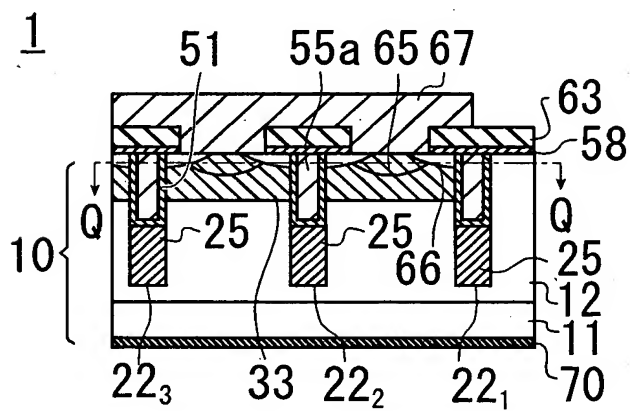
66……ソース領域

【書類名】 図面

【図 1】

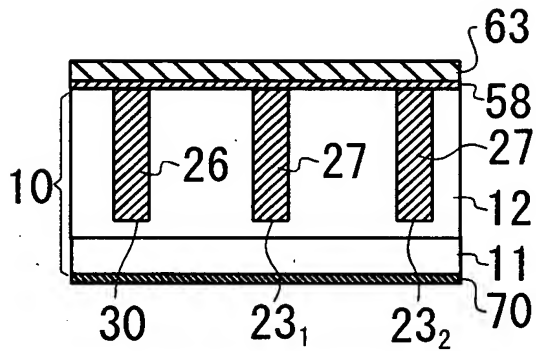


【図 2】



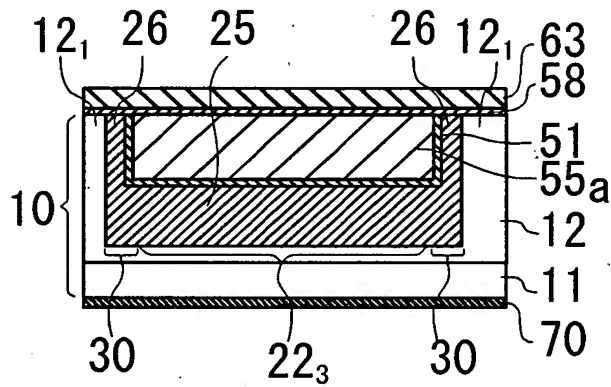
【図 3】

1

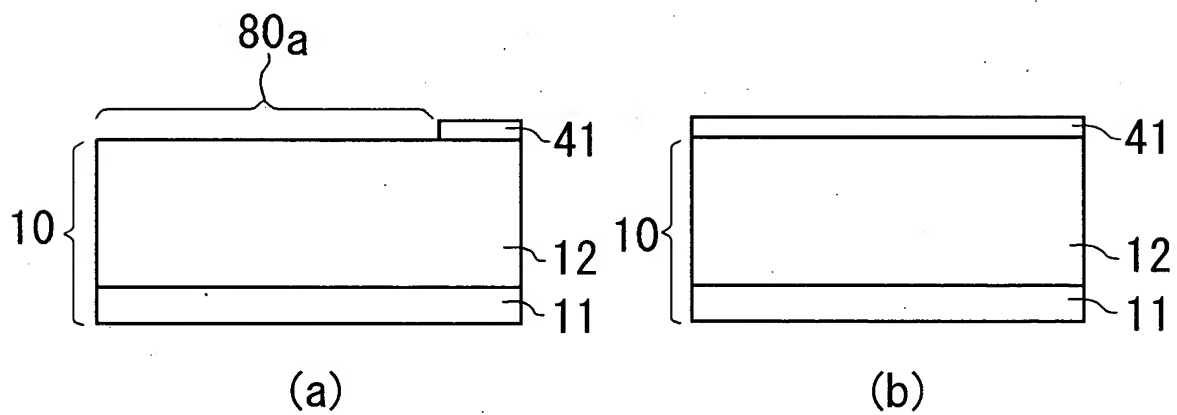


【図 4】

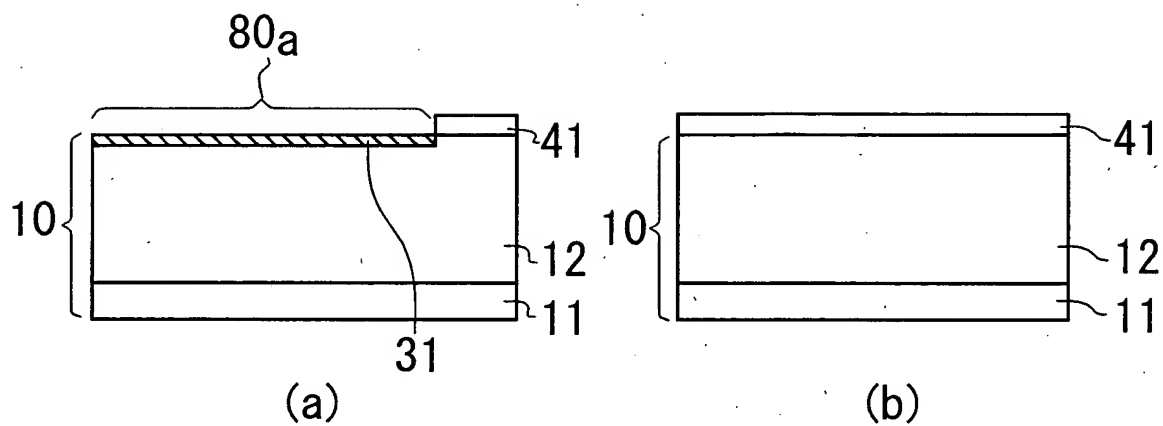
1



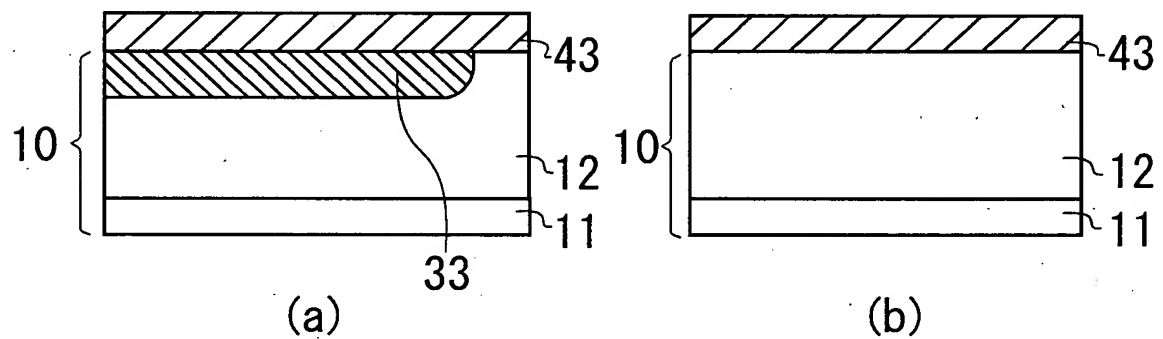
【図 5】



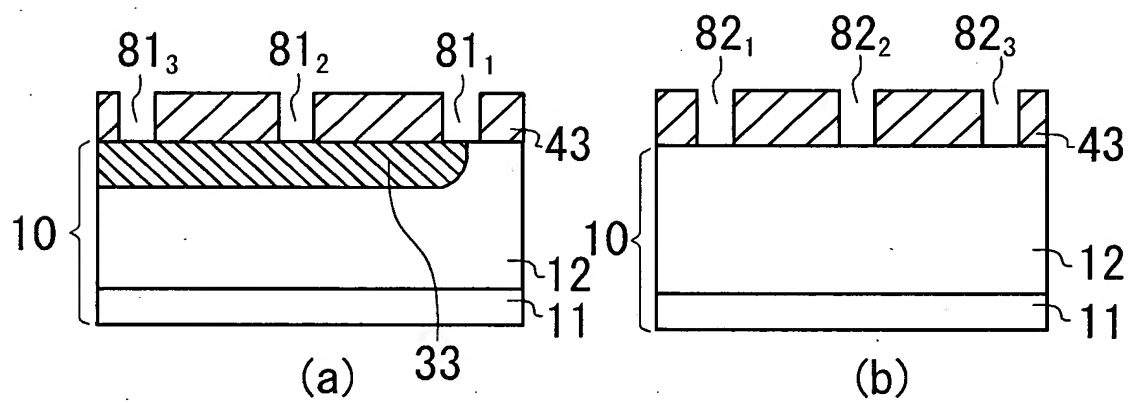
【図 6】



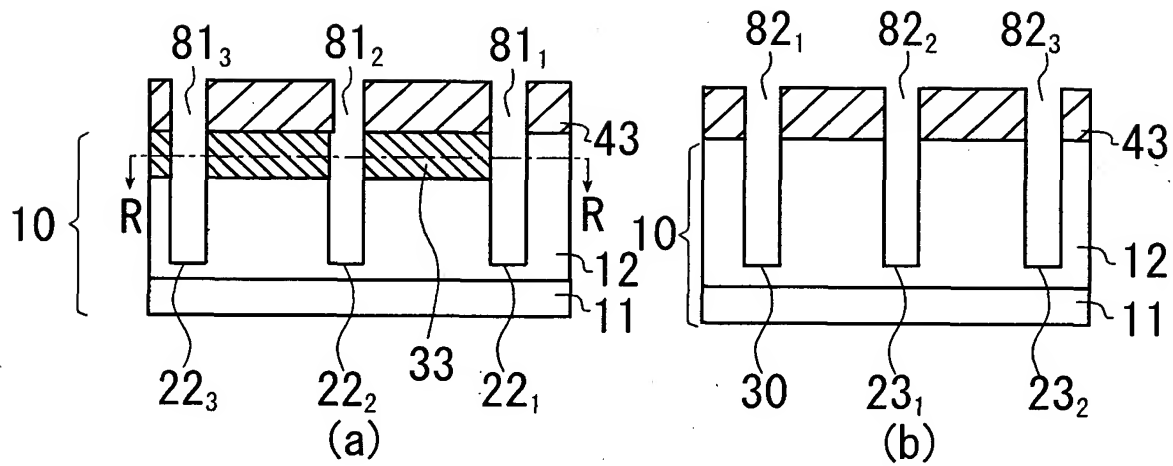
【図 7】



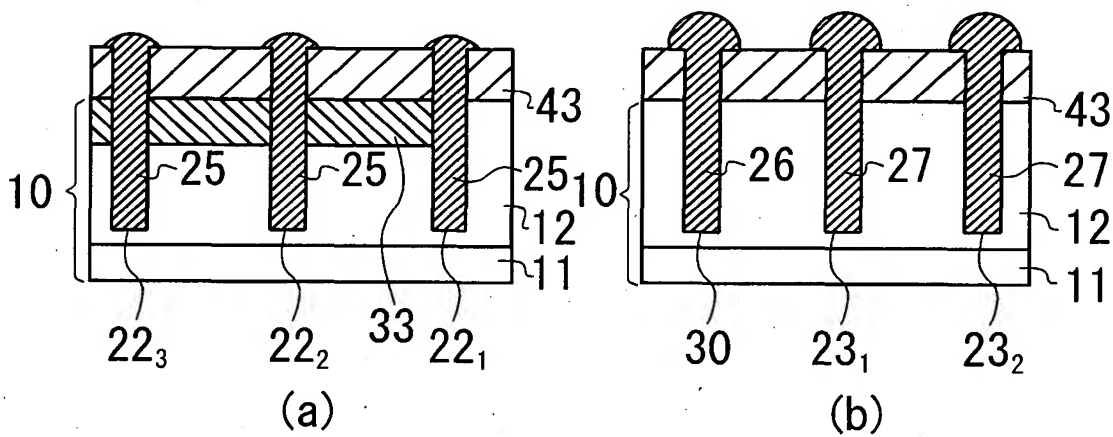
【図 8】



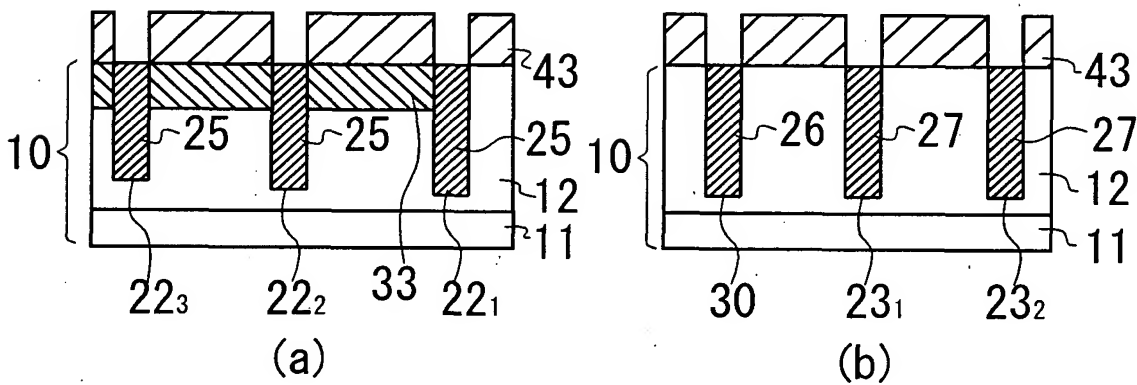
【図 9】



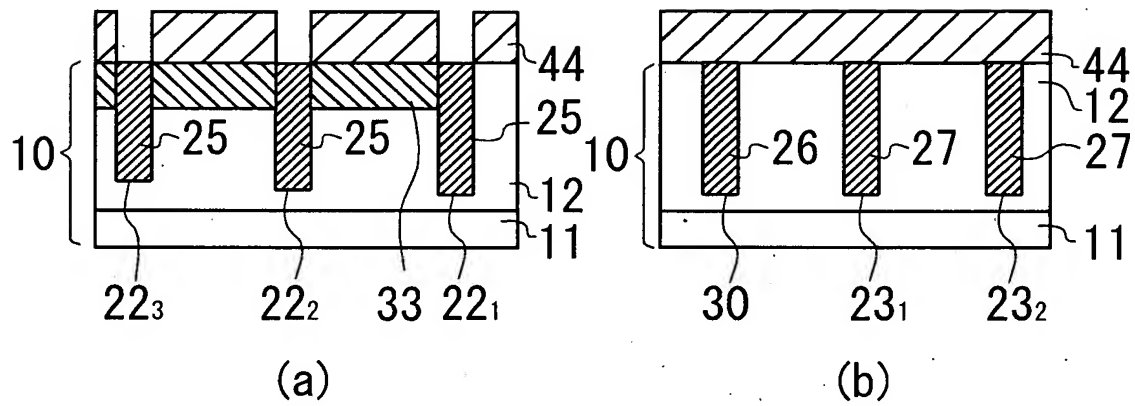
【図 10】



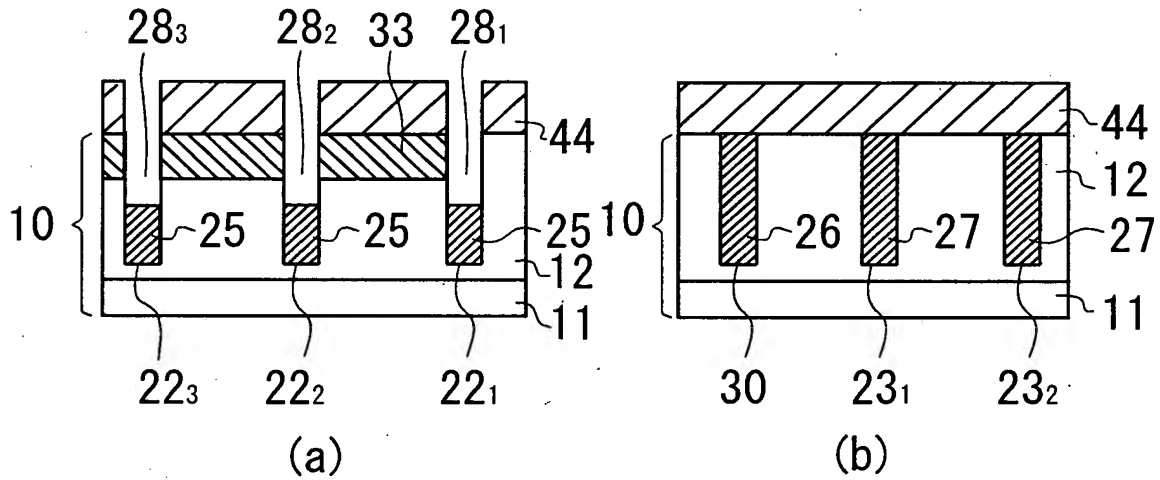
【図 11】



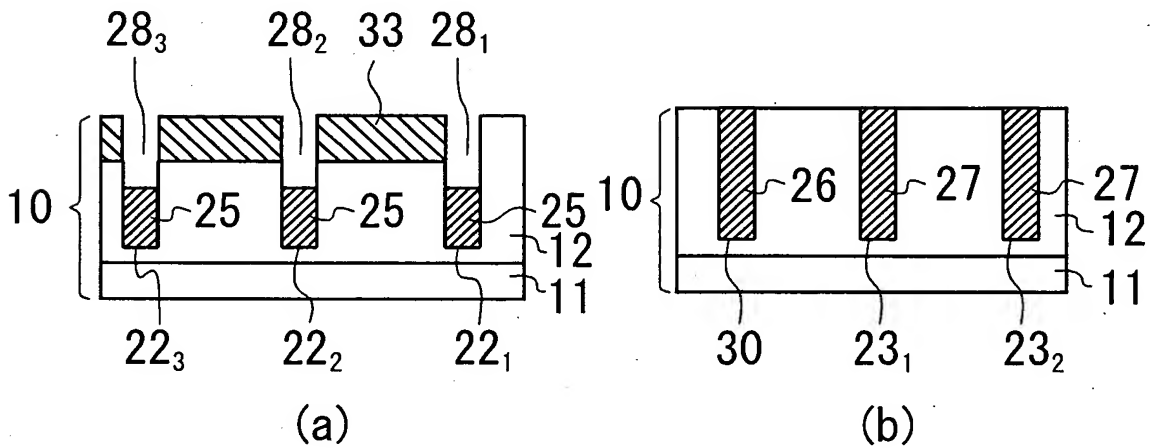
【図 1 2】



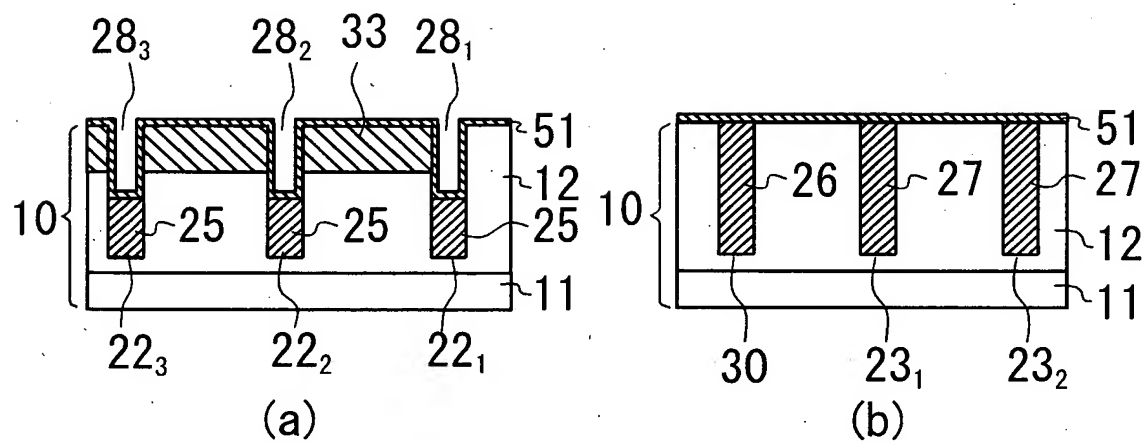
【図 1 3】



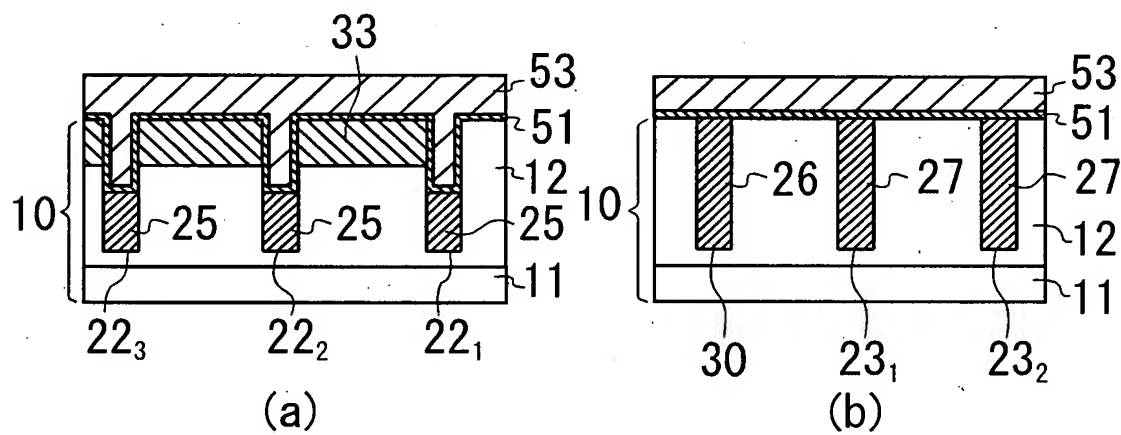
【図 1 4】



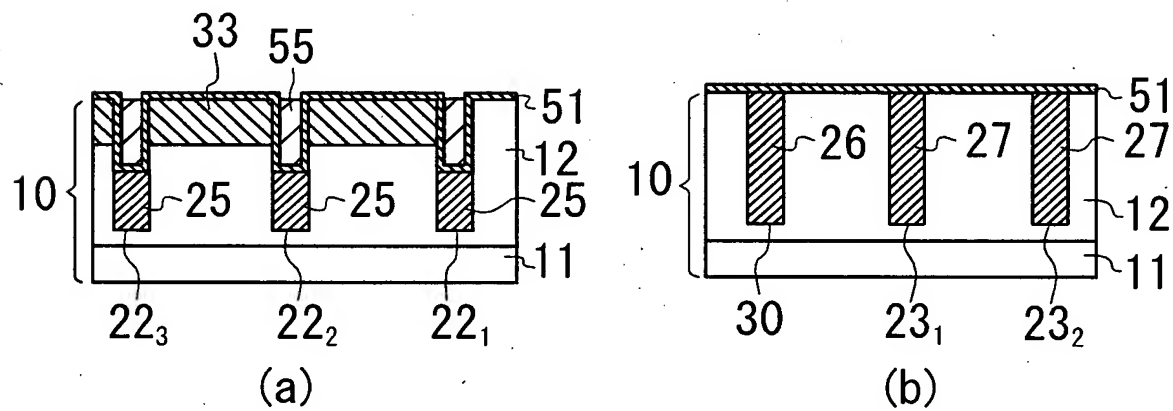
【図 15】



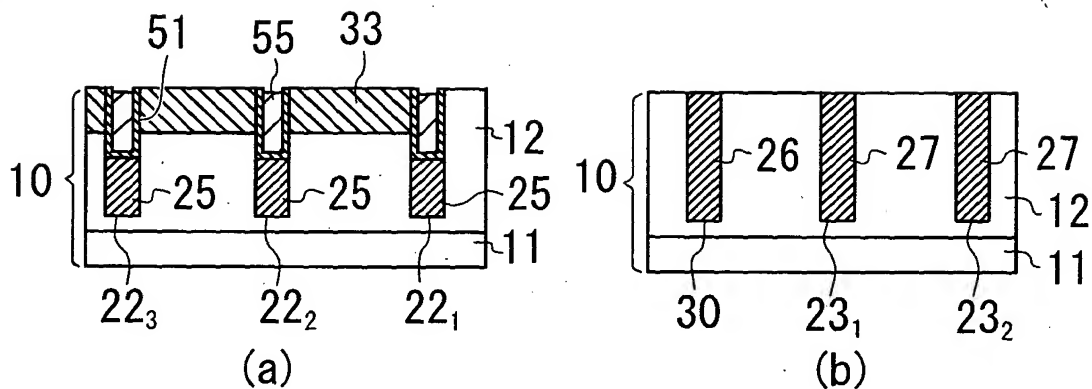
【図 16】



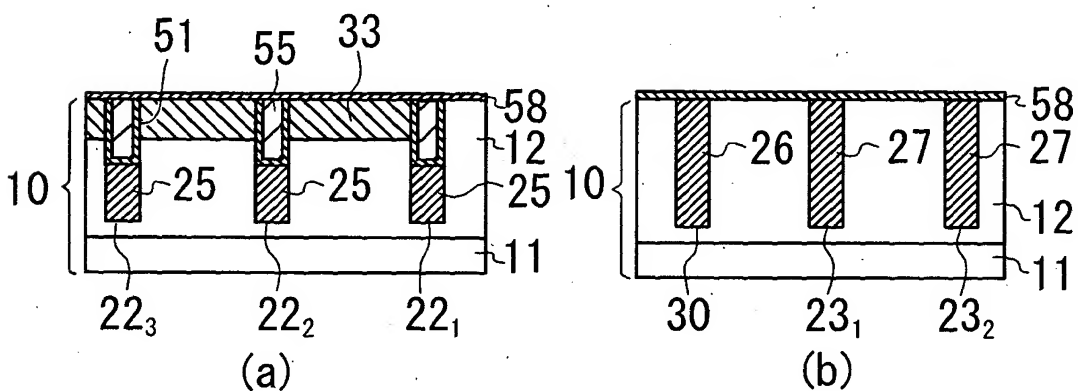
【図 17】



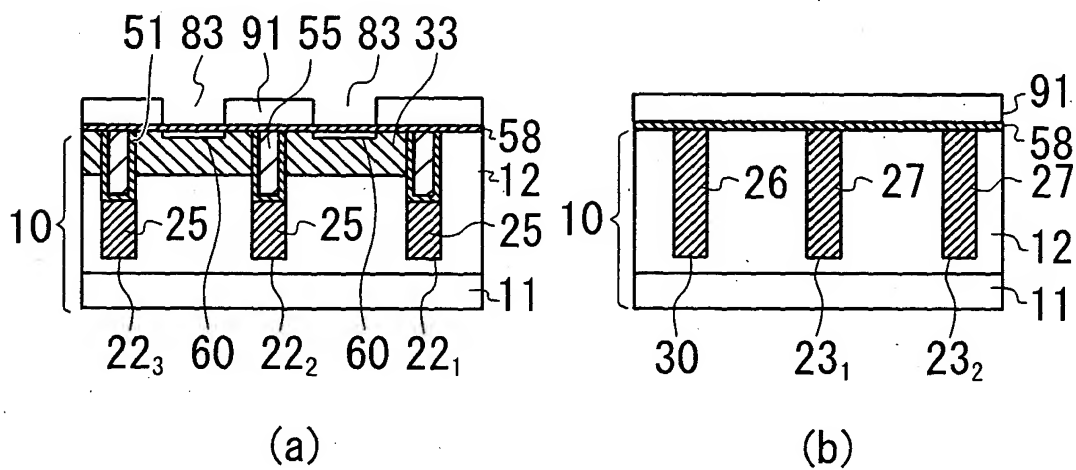
【図18】



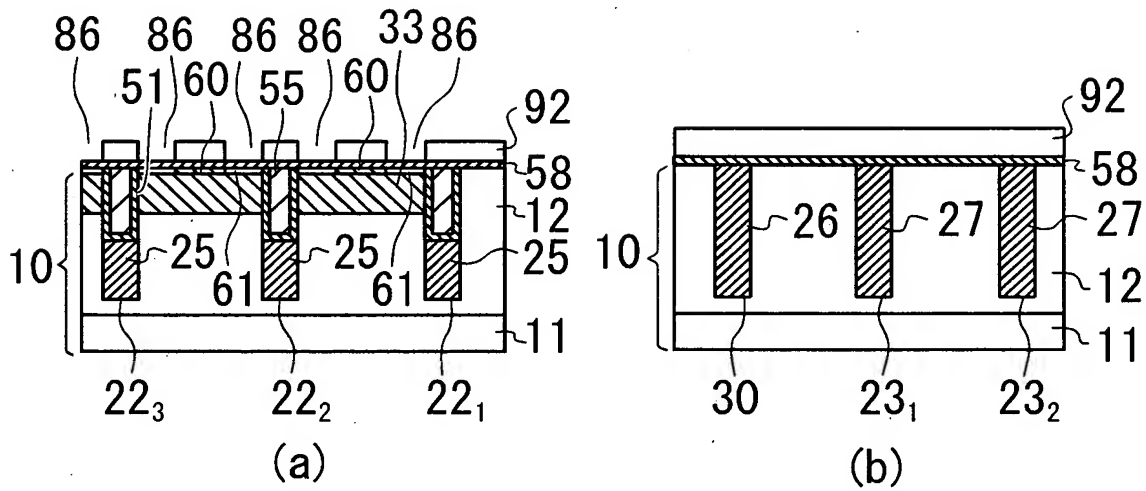
【図19】



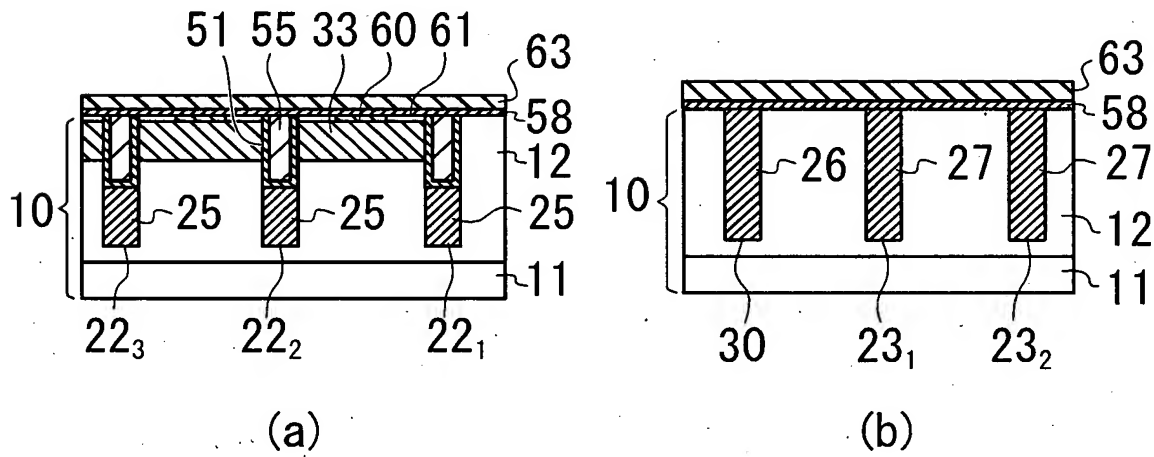
【図20】



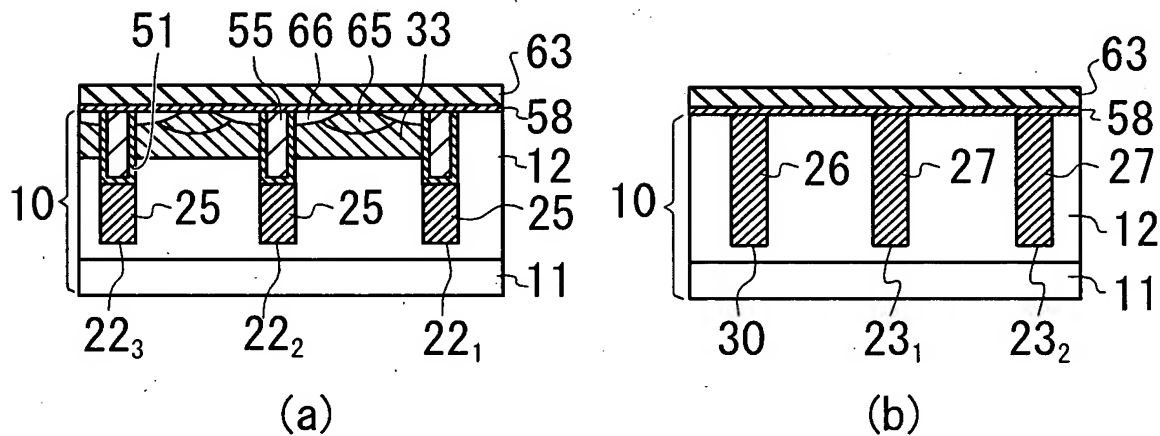
【図 2 1】



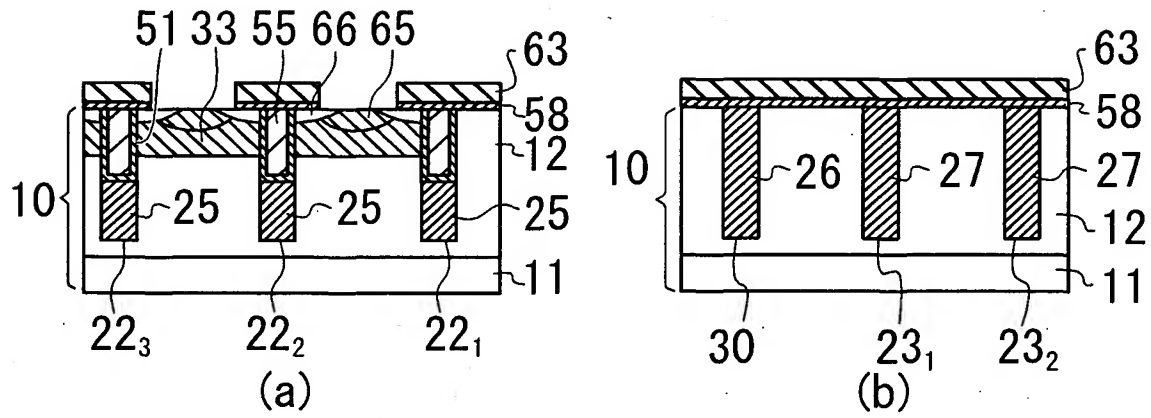
【図 2 2】



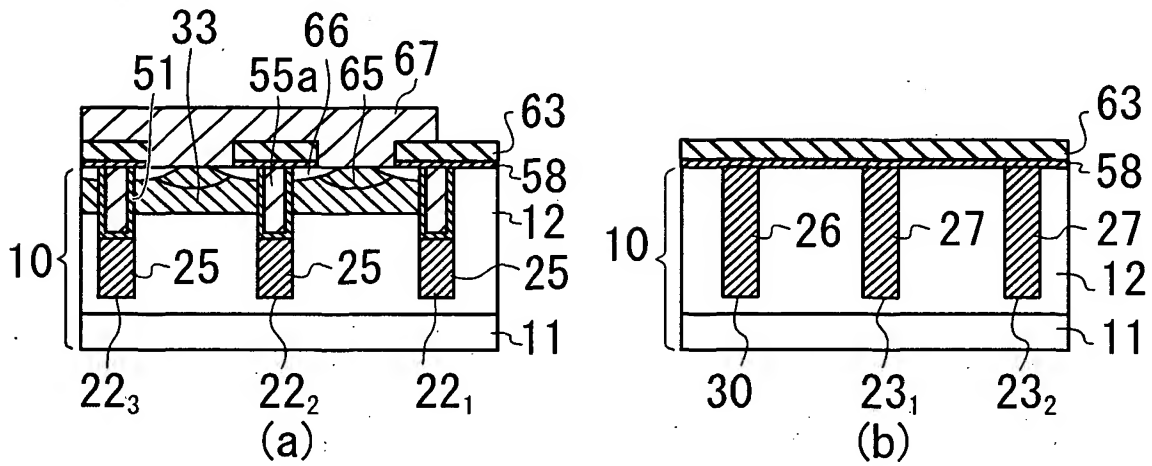
【図 2 3】



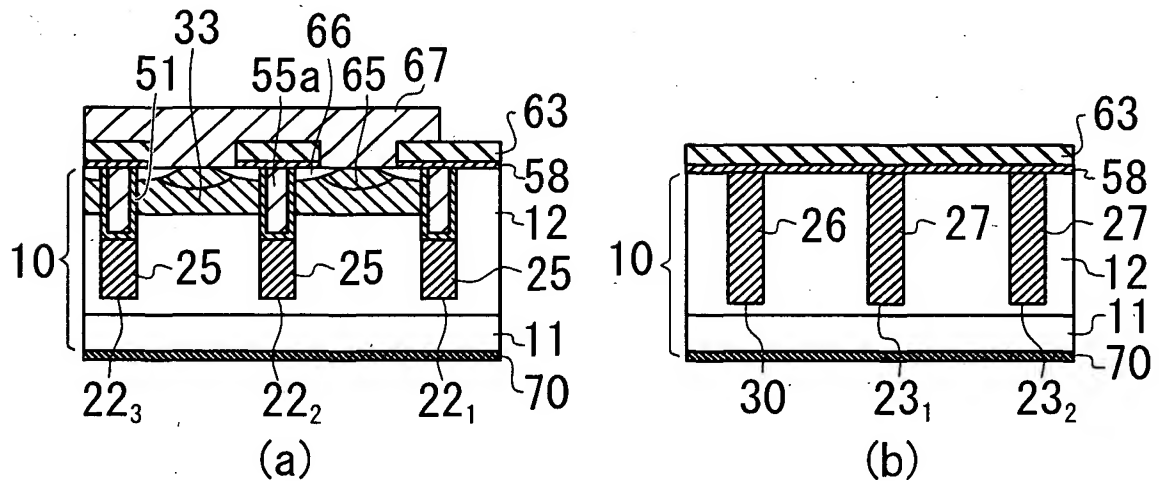
【図 2 4】



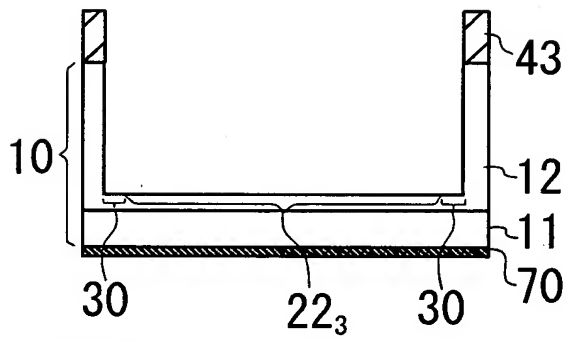
【図 2 5】



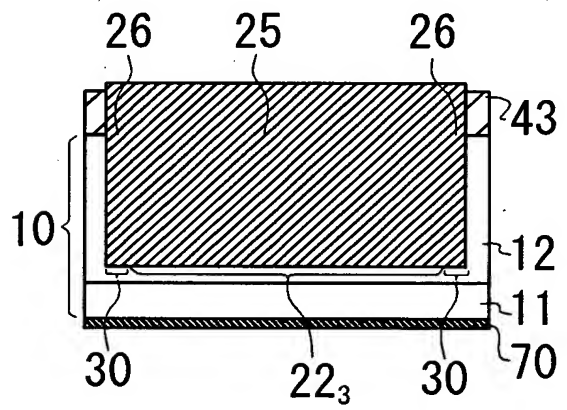
【図 2 6】



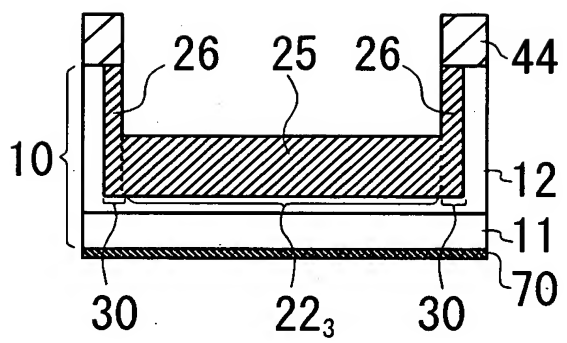
【図 27】



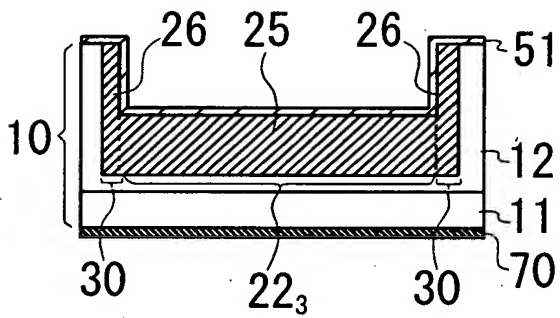
【図 28】



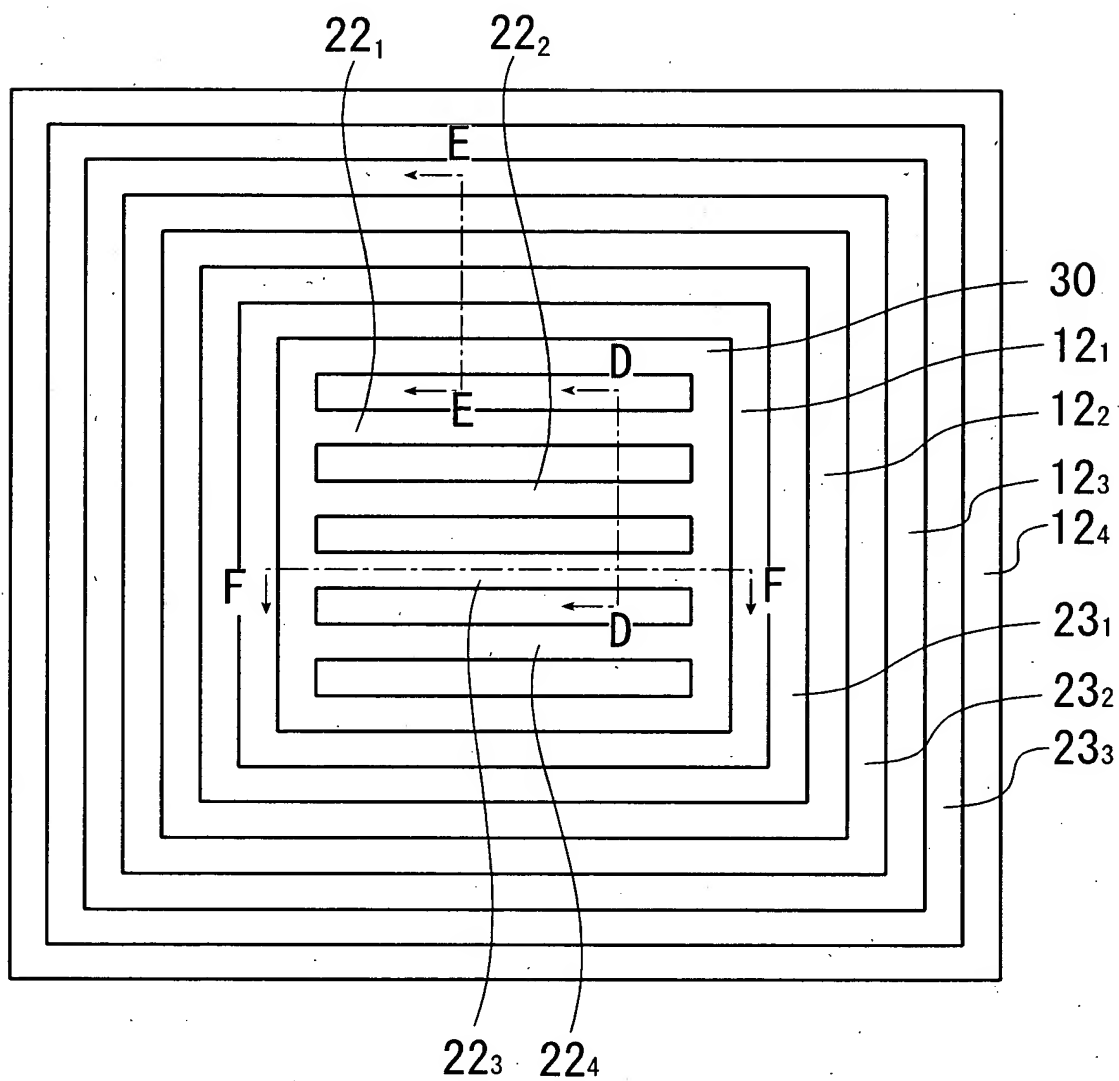
【図 29】



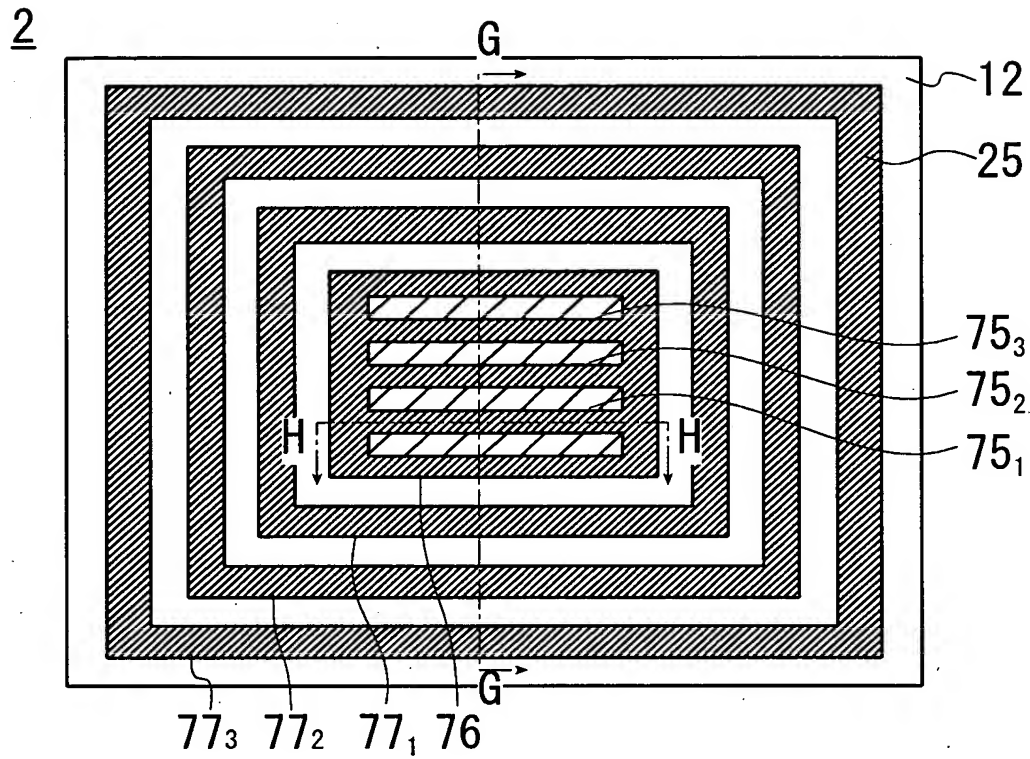
【図 30】



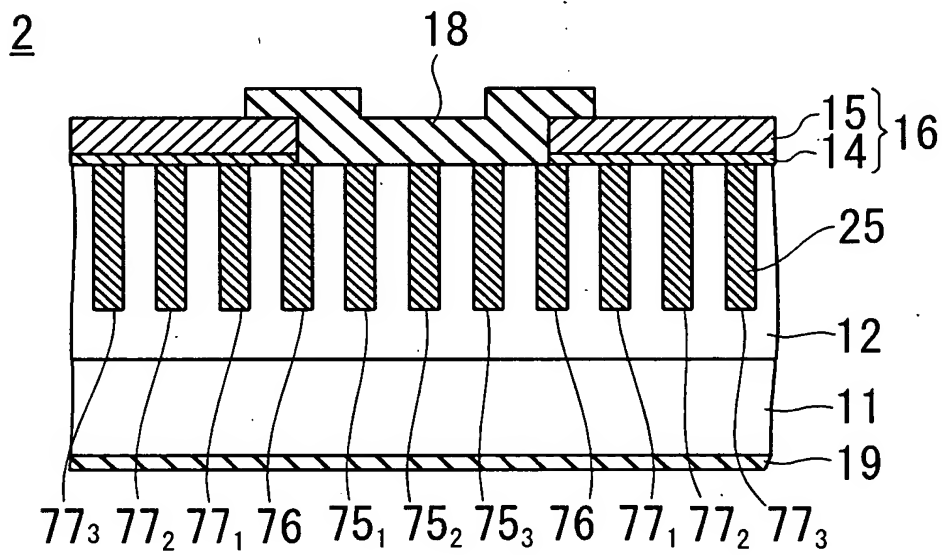
【図 31】



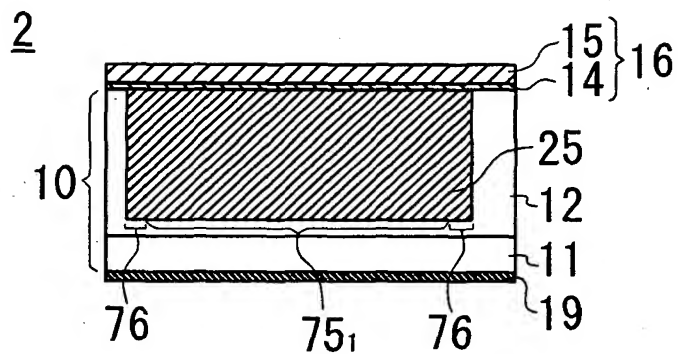
【図 3 2】



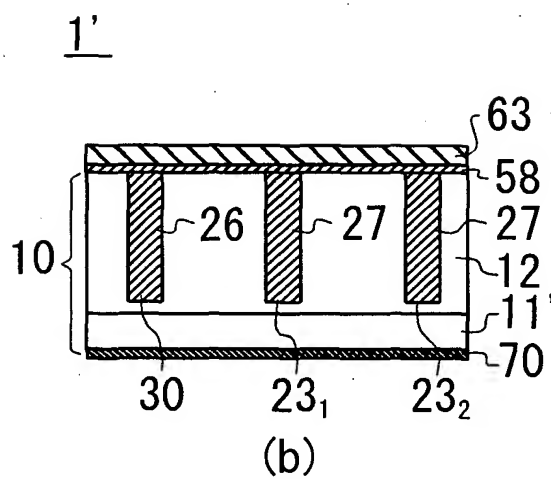
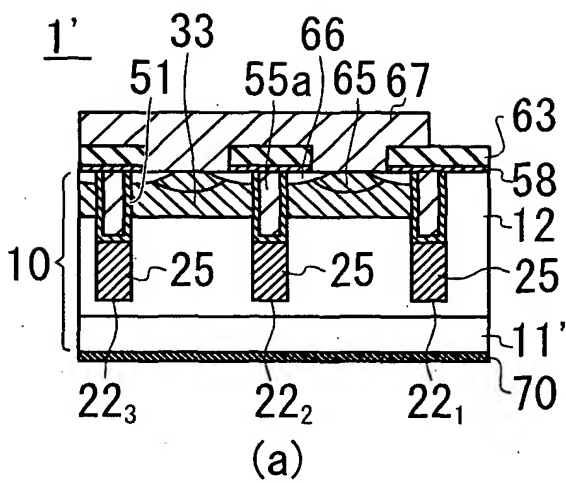
【図 3 3】



【図34】

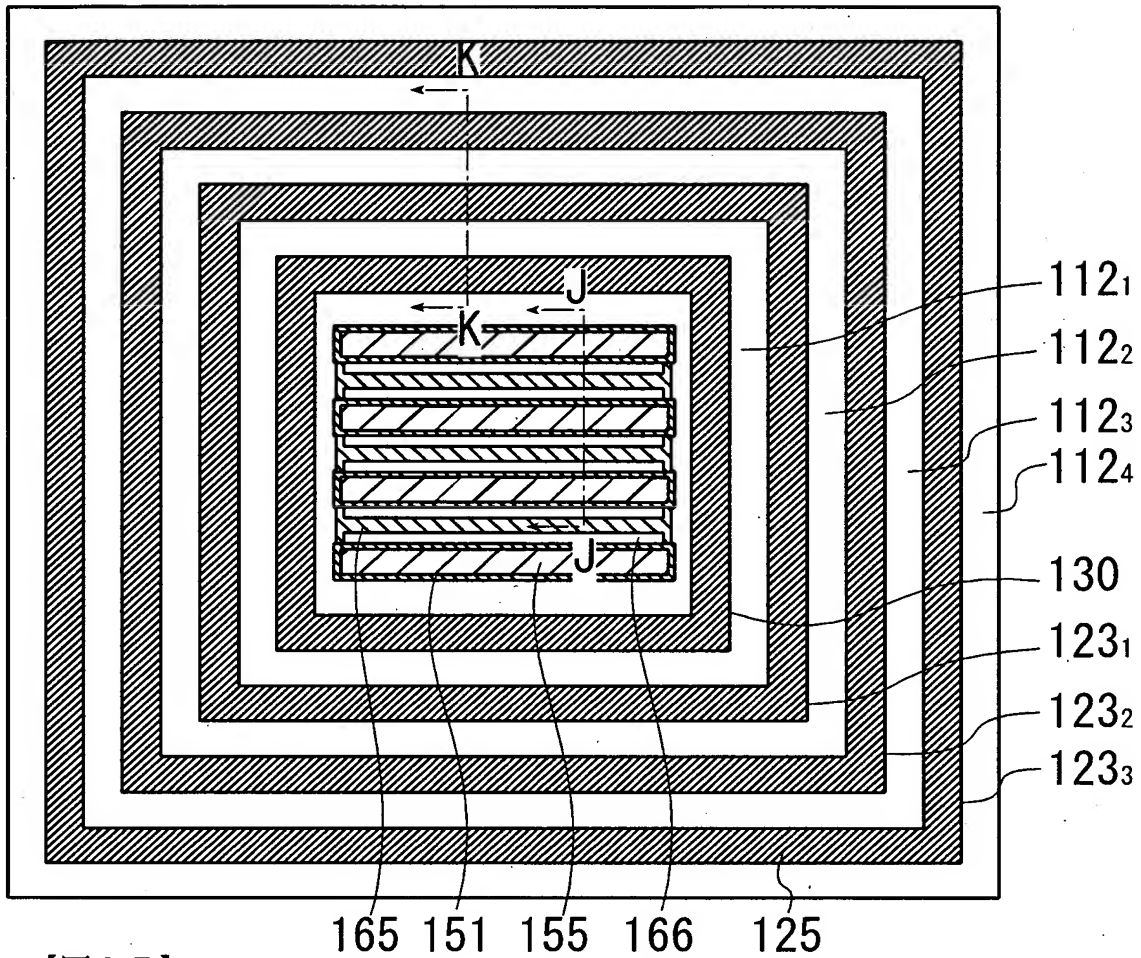


【図35】

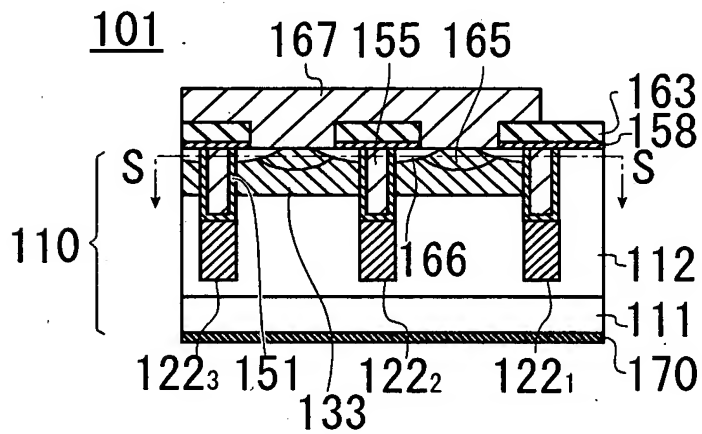


【図 36】

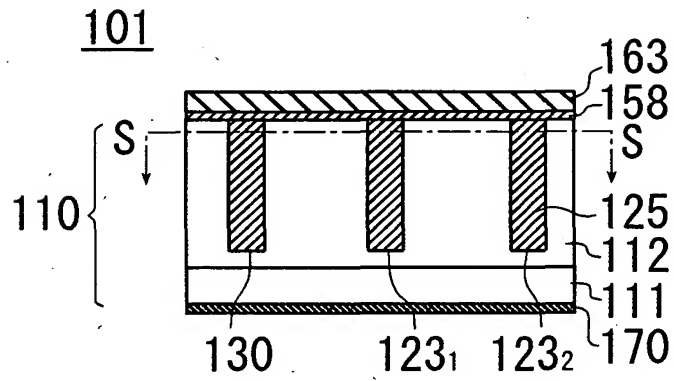
101



【図 37】



【図 3 8】



【書類名】 要約書

【要約】

【課題】 溝内に均一に半導体充填物が充填された半導体装置を提供する。

【解決手段】 細長の活性溝 $22_1 \sim 22_4$ の両端を、活性溝 $22_1 \sim 22_4$ を取り囲む内周溝 30 に接続する。活性溝 $22_1 \sim 22_4$ の両端部分の半導体充填物 25 の成長速度が中央部分の成長速度と等しくなり、活性溝 $22_1 \sim 22_4$ 内が均一高さの半導体充填物 25 で充填された半導体装置 1 が得られる。

【選択図】 図 1

特2002-190017

認定・付加情報

特許出願の番号	特願2002-190017
受付番号	50200952427
書類名	特許願
担当官	第五担当上席 0094
作成日	平成14年 7月 1日

<認定情報・付加情報>

【提出日】 平成14年 6月28日

次頁無

出 願 人 履 歴 情 報

識別番号 [000002037]

1. 変更年月日 1990年 8月28日

[変更理由] 新規登録

住 所 東京都千代田区大手町2丁目2番1号

氏 名 新電元工業株式会社